

N32G033XX

数据手册

N32G033系列采用 32 bit ARM Cortex-M0内核，最高工作主频64MHz，支持快速FLASH执行指令，集成多达64KB Flash, 6KB SRAM，内置1个12bit 1Msps ADC，3路差分轨到轨运算放大器，1个高速比较器，1个NTC，4路互补电控TIM，集成3*UART、2*I2C、2*SPI等通信接口，3通道DMA。

关键特性

- 内核 CPU
 - 32 位 ARM Cortex-M0 内核，单周期硬件乘法指令
 - 最高主频 64MHz
- 存储器
 - 高达 64KByte 片内 Main Flash, 10 万次擦写次数，10 年数据保持
 - 高达 6KByte 片内 SRAM，STOP 模式下可保持
- 低功耗管理
 - Run 模式：所有外设可配置
 - Stop 模式：TIM6、IWDG、UART3、COMP 可配置工作，SRAM 数据保持，所有 IO 状态保持
- 时钟
 - HSI_64M：内部高速 RC OSC 64MHz
 - LSI：内部低速 RC OSC 32KHz
 - 支持 1 路时钟输出，可配置为 SYSCLK、HSI、LSI 时钟输出
- 复位
 - 支持上电/掉电/外部引脚复位
 - 支持看门狗复位、软件复位
- 通信接口
 - 3 个 UART 接口，最大工作速率高达 4Mbps，支持异步模式、多处理器通信模式、单线半双工模式、硬件 485 模式，UART3 支持低功耗唤醒
 - 2 个 SPI 接口，最大工作速率高达 16MHz
 - 2 个 I2C 接口，速率高达 1MHz，主从模式可配
- 1 个高速 DMA 控制器，支持 3 通道，通道源地址及目的地址任意可配
- 加速器
 - 支持 32 位有/无符号除法器
 - 支持 32 位无符号开根
- 模拟接口
 - 1 个 12bits 1Msps 高速 ADC，多达 11 个外部单端输入通道
 - 3 个轨到轨差分运算放大器，内置偏置 1.8V,1/2 VDDA,1/4 VDDA，内置最大 32 倍可编程增益放大
 - 1 个高速模拟比较器，内置 256 级可调比较基准

- 支持内部 NTC
- 内部独立参考电压参考源
- 内部集成电压检查(PVD)
- **最多支持 29 个支持复用功能的 GPIOs.**
- **定时计数器**
 - 1 个 16bit 高级定时计数器, 支持输入捕获/输出比较, 有 7 个独立的通道, 其中 4 个通道支持 8 路互补 PWM 输出
 - 1 个 16bit 通用定时计数器, 4 个独立通道, 支持输入捕获/输出比较/PWM 输出
 - 1 个 32bit 通用定时计数器, 3 个独立通道, 支持输入捕获/输出比较/PWM 输出
 - 1 个 32bit 基础定时计数器, 支持低功耗唤醒
 - 1x 24bit SysTick
 - 1x 14bit 独立看门狗(IWDG)
- **编程方式**
 - 支持 SWD 在线调试接口
 - 支持 UART Bootloader
- **安全特性**
 - 支持写保护 (WRP)
 - 多种读保护 (RDP) 等级 (L0/L1/L2)
- **96 位 UID 及 128 位 UCID**
- **工作条件**
 - 工作电压范围: 2.0V~5.5V
 - 工作温度范围: -40°C~105°C
- **封装**
 - QFN32(5 x 5mm)
 - QFN32 (4 x 4mm)
 - LQFP32
 - QFN20
 - QFN20-1
 - UFQFPN20
 - TSSOP20

目 录

关键特性	1
目 录	1
1 产品简介	5
1.1 器件一览	6
2 功能简介	7
2.1 处理器内核	7
2.2 存储器	7
2.2.1 嵌入式闪存存储器	7
2.2.2 嵌入式SRAM	7
2.2.3 嵌套的向量式中断控制器(NVIC)	8
2.3 扩展中断/事件控制器(EXTI)	8
2.4 时钟系统	8
2.5 启动模式	9
2.6 供电方案	9
2.7 可编程电压监测器	10
2.8 低功耗模式	10
2.9 直接存储器存取(DMA)	10
2.10 定时器和看门狗	10
2.10.1 高级定时器(TIM1)	11
2.10.2 通用定时器(TIM3)	11
2.10.3 通用定时器(TIM4)	12
2.10.4 基本定时器(TIM6)	12
2.10.5 系统时基定时器(Systick)	13
2.10.6 看门狗定时器(WDG)	13
2.11 I ² C总线接口	13
2.12 通用异步收发器(UART)	14
2.13 串行外设接口(SPI)	15
2.14 通用输入输出接口(GPIO)	16
2.15 模拟/数字转换器(ADC)	17
2.16 模拟比较器(COMP)	17
2.17 运算放大器(OPAMP)	18
2.18 温度传感器(TS)	18
2.19 HDIV和SQRT	18
2.20 唯一设备序列号(UID)	19
2.21 串行SWD调试口(SWD)	19
3 引脚定义和描述	20
3.1 封装示意图	20
3.1.1 LQFP32	20
3.1.2 QFN32	21
3.1.3 QFN20	22
3.1.4 QFN20-1	23
3.1.5 UFQFPN20	24
3.1.6 TSSOP20	25
3.2 引脚复用定义	26
4 电气特性	31
4.1 测试条件	31

4.1.1	最小和最大数值	31
4.1.2	典型数值	31
4.1.3	典型曲线	31
4.1.4	负载电容	31
4.1.5	引脚输入电压	31
4.1.6	供电方案	32
4.1.7	电流消耗测量	32
4.2	绝对最大额定值	33
4.3	工作条件	34
4.3.1	通用工作条件	34
4.3.2	上电和掉电时的工作条件	34
4.3.3	内嵌复位和电源控制模块特性	34
4.3.4	内置的参考电压	35
4.3.5	供电电流特性	36
4.3.6	内部时钟源特性	37
4.3.7	从低功耗模式的唤醒时间	38
4.3.8	FLASH存储器特性	38
4.3.9	绝对最大值(电气敏感性)	39
4.3.10	I/O端口特性	40
4.3.11	NRST引脚特性	41
4.3.12	TIM定时器特性	42
4.3.13	IWDG特性	43
4.3.14	I2C接口特性	43
4.3.15	SPI接口特性	44
4.3.16	12位模数转换器(ADC)电气参数	47
4.3.17	内置参考源 (V_{REFP}) 电气参数	49
4.3.18	运算放大器(OPAMP)电气参数	50
4.3.19	比较器(COMP)电气参数	51
4.3.20	温度传感器 (TS) 特性	51
5	封装尺寸	53
5.1	LQFP32	53
5.2	QFN32(5x5mm)	54
5.3	QFN32(4x4mm)	55
5.4	QFN20/QFN20-1	56
5.5	UFQFPN20	57
5.6	TSSOP20	58
5.7	丝印说明	59
6	订购信息	62
7	版本历史	63
8	声明	64

表目录

表 1-1 N32G033系列资源配置	6
表 2-1 定时器功能比较	10
表 3-1 管脚定义 ⁽⁴⁾	26
表 4-1 电压特性	33
表 4-2 电流特性	33
表 4-3 温度特性	34
表 4-4 通用工作条件	34
表 4-5 上电和掉电时的工作条件	34
表 4-6 内嵌复位和电源控制模块特性 ⁽¹⁾	34
表 4-7 内置的参照电压	35
表 4-8 运行模式下的典型电流消耗, 数据处理代码从内部闪存中运行	36
表 4-9 运行模式下的典型电流消耗, 数据处理代码从内部闪存中运行($T_A=25^\circ\text{C}$ 、 $V_{DD}=5.0\text{V}$)	37
表 4-10 运行模式下的典型电流消耗, 数据处理代码从内部闪存中运行($T_A=25^\circ\text{C}$ 、 $V_{DD}=3.3\text{V}$)	37
表 4-11 STOP模式下的典型消耗($T_A=25^\circ\text{C}$ 、 $V_{DD}=3.3\text{V}$)	37
表 4-12 STOP模式下的典型消耗($T_A=25^\circ\text{C}$ 、 $V_{DD}=5.0\text{V}$)	37
表 4-13 HSI振荡器特性 ⁽¹⁾⁽²⁾	37
表 4-14 LSI振荡器特性 ⁽¹⁾	38
表 4-15 低功耗模式的唤醒时间	38
表 4-16 闪存存储器特性	38
表 4-17 闪存存储器寿命和数据保存期限	39
表 4-18 ESD绝对最大值	39
表 4-19 电气敏感性	40
表 4-20 I/O静态特性	40
表 4-21 PB3/4/5输入输出交流特性 ⁽¹⁾	40
表 4-22 其他引脚 ⁽¹⁾ 输入输出交流特性 ⁽²⁾	41
表 4-23 NRST引脚特性	41
表 4-24 TIMx特性	42
表 4-25 IWDG 最大和最小计数复位时间 (LSI = 32KHz)	43
表 4-26 I ² C接口特性	43
表 4-27 SPI特性	44
表 4-28 ADC特性 ⁽¹⁾	47
表 4-29 ADC采样时间 ⁽¹⁾	48
表 4-30 ADC精度 – 局限的测试条件 ⁽¹⁾	48
表 4-31 V _{REFP} 特性 ⁽³⁾	50
表 4-32 OPAMP特性 ⁽¹⁾	50
表 4-33 COMP特性	51
表 4-34 温度传感器特性	51
表 6-1 N32G033系列订货代码信息	62

图目录

图 1-1 N32G033系列框图	5
图 2-1 存储器映射图	7
图 2-2 时钟树	9
图 3-1 N32G033系列LQFP32引脚分布	20
图 3-2 N32G033系列QFN32引脚分布	21
图 3-3 N32G033系列QFN20引脚分布	22
图 3-3 N32G033系列QFN20-1引脚分布	23
图 3-4 N32G033系列UFQFPN20引脚分布	24
图 3-5 N32G033系列TSSOP20引脚分布	25
图 4-1 引脚的负载条件	31
图 4-2 引脚输入电压	32
图 4-3 供电方案	32
图 4-4 电流消耗测量方案	33
图 4-5 输入输出交流特性定义	41
图 4-6 建议的NRST引脚保护	42
图 4-7 I ² C总线交流波形和测量电路 ⁽¹⁾	44
图 4-8 SPI时序图 – 从模式和CPHA=0	45
图 4-9 SPI时序图 – 从模式和CPHA=1 ⁽¹⁾	46
图 4-10 SPI时序图 – 主模式 ⁽¹⁾	46
图 4-11 ADC精度特性	49
图 4-12 使用ADC典型的连接图	49
图 5-1 LQFP32封装尺寸	53
图 5-2 LQFP32封装焊盘建议 ⁽¹⁾	53
图 5-3 QFN32(5x5mm)封装尺寸	54
图 5-4 QFN32(5x5mm)封装焊盘建议 ⁽¹⁾	54
图 5-5 QFN32(4x4mm)封装尺寸	55
图 5-6 QFN32(4x4mm)封装焊盘建议 ⁽¹⁾	55
图 5-7 QFN20封装尺寸	56
图 5-8 QFN20封装焊盘建议 ⁽¹⁾	56
图 5-9 UFQFPN20封装尺寸	57
图 5-10 UFQFPN20封装焊盘建议 ⁽¹⁾	57
图 5-11 TSSOP20封装尺寸	58
图 5-12 TSSOP20封装焊盘建议 ⁽¹⁾	58
图 5-13 LQFP32/QFN32(5mm * 5mm)丝印说明图	59
图 5-14 QFN32(4mm * 4mm)丝印说明图	59
图 5-15 QFN20/UFQFPN20丝印说明图	60
图 5-16 TSSOP20丝印说明图	61
图 6-1 N32G033系列订货代码信息图示	62

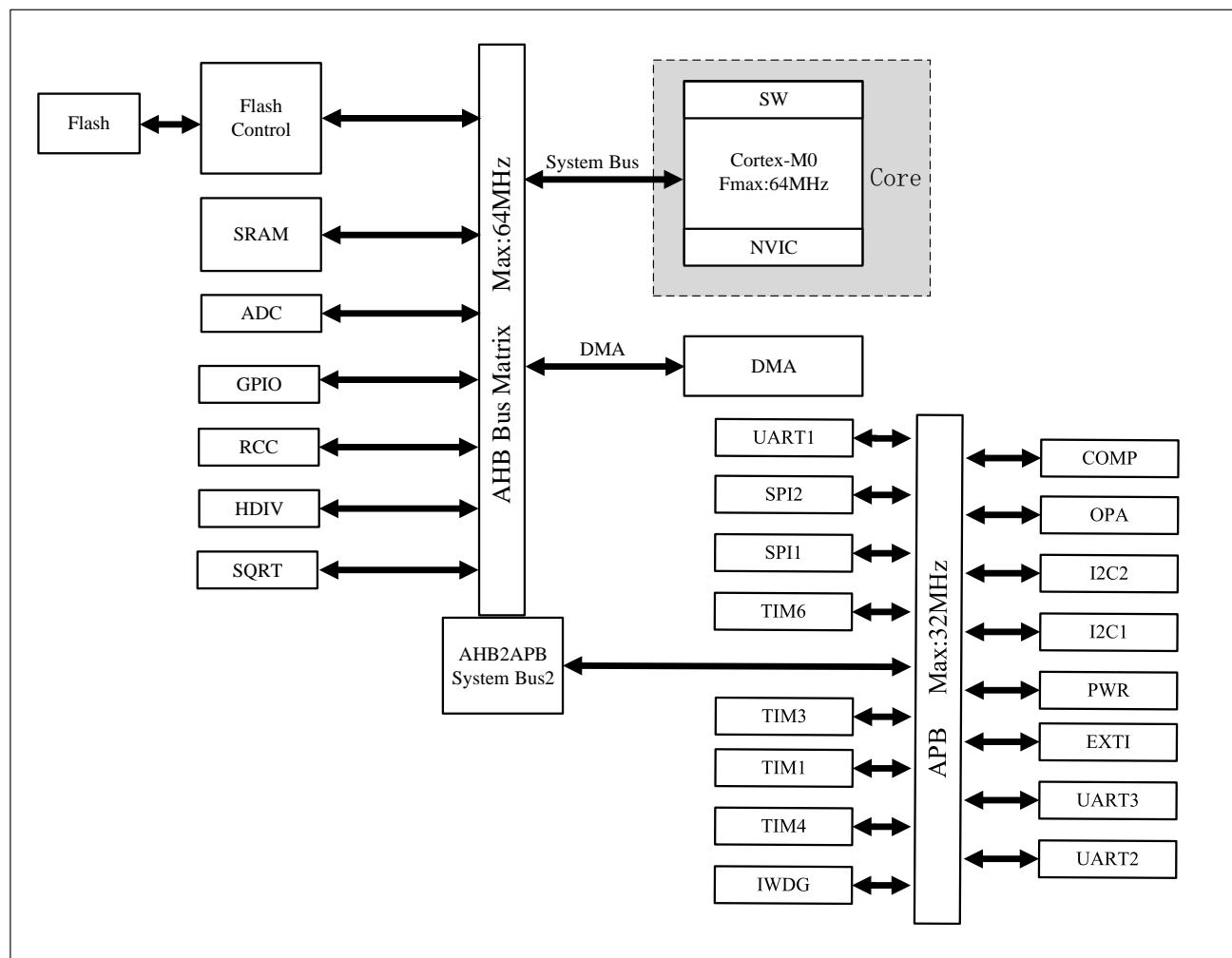
1 产品简介

N32G033 系列微控制器产品采用 32 位 ARM Cortex[®]-M0 内核，最高工作主频 64MHz，集成高达 64KB 存储 Flash，最大 6KB SRAM；内置一个高速 AHB 总线，1 个低速外设总线 APB 及总线矩阵，最多支持 29 个通用 I/O，提供丰富的高性能模拟接口，包括 1 个 12 位 1Msps ADC，最多支持 11 个外部输入通道，3 路差分到轨运算放大器，1 个高速比较器，4 路互补电控 TIM，支持 32 位有/无符号除法器，支持 32 位无符号开根，同时提供多种数字通信接口，包括 3 个 UART、2 个 I2C、2 个 SPI。

N32G033 系列产品可稳定工作于-40℃ 至+105℃ 的温度范围，供电电压 2.0V 至 5.5V，包含 STOP 功耗模式，符合低功耗应用的要求。该系列产品提供最大 32 脚的不同封装形式。

图 1-1 给出了该系列产品的总线框图。

图 1-1 N32G033 系列框图



1.1 器件一览

表 1-1 N32G033 系列资源配置

器件型号	N32G033K8 L7	N32G033K8 Q7	N32G033K8 Q7-1	N32G033F8 Q7	N32G033F8 Q7-1	N32G033F8 S7	N32G033F8 U7
Flash (KB)	64	64	64	64	64	64	64
SRAM (KB)	6	6	6	6	6	6	6
CPU频率	ARM Cortex-M0 @64MHz						
工作环境	2.0~5.5V/-40~105°C						
定时器	高级	1					
	16位通用	1					
	32位通用	1					
	基本	1					
通讯接口	SPI	2					
	I2C	2					
	UART	3					
GPIO	27	29	29	19	19	17	17
DMA	1x 3 Channel						
12bit ADC	1x 10Channel	1x 11Channel	1x 11Channel	1x 9Channel	1x 9Channel	1x 9Channel	1x 7Channel
COMP	1						
OPA	3	3	3	2	2	1	1
安全保护	读写保护 (RDP/WRP)						
封装	LQFP32	QFN32(5x5mm)	QFN32(4x4mm)	QFN20	QFN20-1	TSSOP20	UFQFPN20

2 功能简介

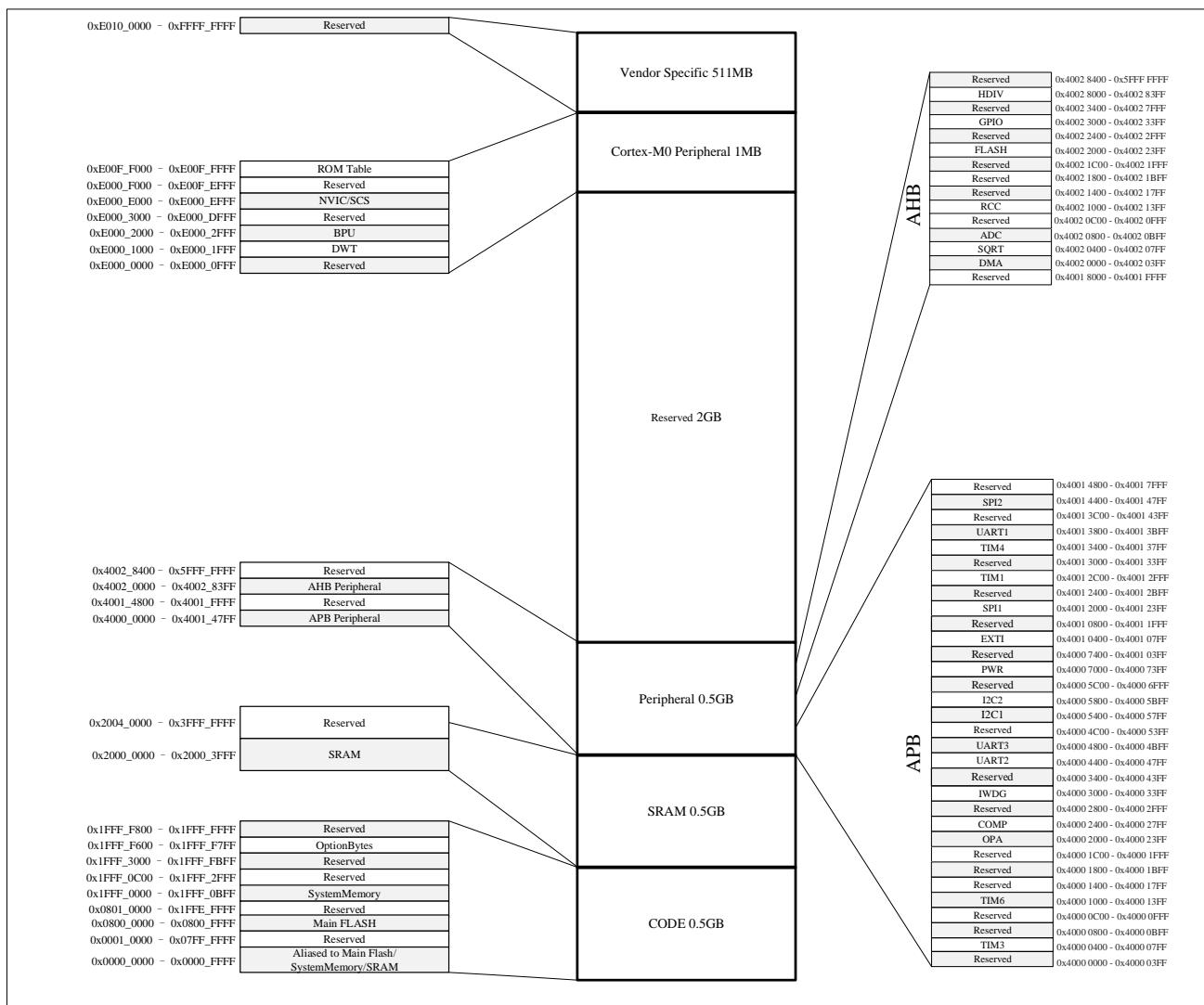
2.1 处理器内核

N32G033系列集成了最新一代嵌入式ARM Cortex®-M0处理器

2.2 存储器

N32G033系列器件包含嵌入式闪存（Flash）存储器、嵌入式SRAM，下图 2-1为存储器地址映射图。

图 2-1 存储器映射图



2.2.1 嵌入式闪存存储器

片内集成 64K 字节主嵌入式闪存（Main Flash），用于存放程序和数据，页面大小 512byte，支持全擦、页擦除、字写、字读、半字读、字节读操作。

2.2.2 嵌入式 SRAM

片内集成多达 6K 字节的内置 SRAM，同时在 STOP 低功耗模式下可以保持数据。

2.2.3 嵌套的向量式中断控制器(NVIC)

嵌套向量中断控制器（NVIC）和处理器核的接口紧密相连，可以实现低延迟的中断处理和高效地处理晚到的中断。嵌套向量中断控制器管理着包括内核异常等中断。

- 21 个可屏蔽中断通道（不包含 6 个 Cortex®-M0 的中断线）；
- 4 个可编程的优先等级（使用了 2 位中断优先级）；
- 低延迟的异常和中断处理；
- 电源管理控制；
- 系统控制寄存器的实现；

该模块以最小的中断延迟提供灵活的中断管理功能。

2.3 扩展中断/事件控制器(EXTI)

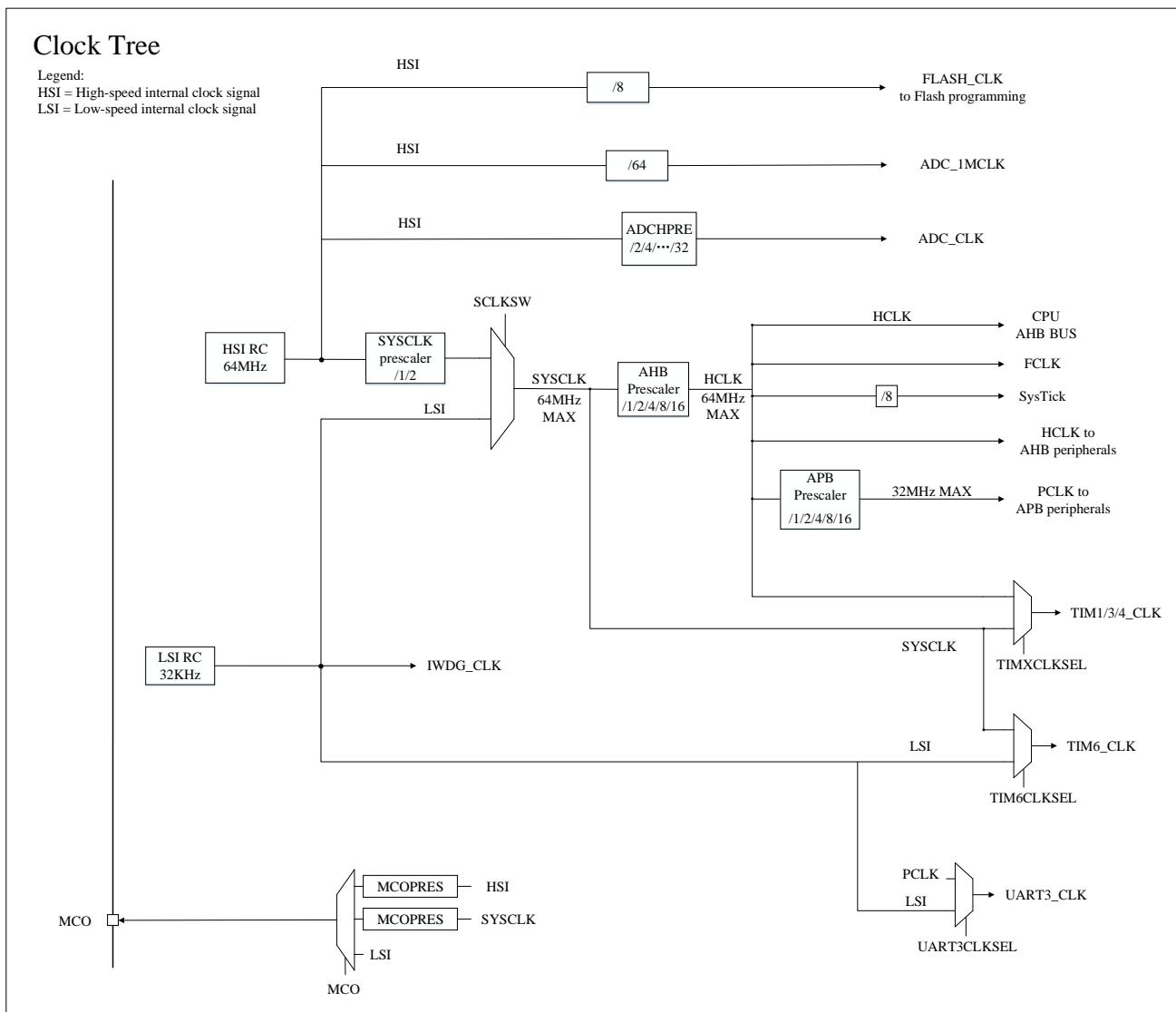
扩展中断/事件控制器包含 11 个产生中断/事件触发的边沿检测电路。每条输入线可以独立地配置为事件或中断，以及上升沿、下降沿或者双边沿 3 种触发类型，也可以独立地被屏蔽。挂起寄存器保持着状态线的中断请求，可通过在挂起寄存器的对应位写‘1’，清除中断请求。

2.4 时钟系统

器件提供多种时钟供用户选择，包括内部高速 RC 振荡器 HSI_64M，内部低速时钟 LSI（32KHz）。

多个预分频器用于配置 AHB 的频率和低速 APB 区域。AHB 的最高频率是 64MHz，APB 的最高频率是 32MHz。图 2-2 为时钟树框图。

图 2-2 时钟树



2.5 启动模式

在启动时，可以通过 BOOT0 引脚和选项字节 BOOT 配置（USER3）来选择在复位后的启动模式：

- 从程序闪存存储器（FLASH Memory）启动
- 从系统存储器（System Memory）启动
- 从内部 SRAM 启动

启动加载程序(Bootloader)存放于系统存储器中，可以通过 UART1 对 FLASH Memory/SRAM 区域进行编程。BOOT 启动使用具体可参见《CN_UG_N32G033 Series BOOT User Guide.pdf》。

2.6 供电方案

- VDD 区域：电压输入范围为 2.0V~5.5V，主要为 Main Regulator, IO 及时钟复位系统提供电源输入。
- VDDD 区域：电压调节器为 CPU, AHB, APB, SRAM, FLASH 及大部分数字外设接口供电。

PWR 作为整个器件的电源控制模块，主要功能是控制 N32G033 进入不同的电源模式以及可以被其他事件或者中断唤醒。N32G033 支持 RUN 和 STOP 模式。

2.7 可编程电压监测器

内部集成了上电复位(POR)和掉电复位(PDR)电路,这部分电路始终处于工作状态,保证系统在供电超过 2.0V 时工作;当 VDD 低于设定的阀值($V_{POR/PDR}$)时,置器件于复位状态,而不必使用外部复位电路。

器件中还继承了可编程电压监测器(PVD),它监视 V_{DD} 供电并与阀值 V_{PVD} 比较,当 V_{DD} 低于或高于阀值 V_{PVD} 时将产生中断,中断处理程序可以发出警告信息。PVD 功能需要通过程序开启。

关于 $V_{POR/PDR}$ 和 V_{PVD} 的值参考表 4-6。

2.8 低功耗模式

N32G033 在系统复位或电源打开复位后处于运行模式。当 CPU 不需要运行时(例如在等待外部事件时),可以使用 STOP 低功耗模式来节省功耗。

N32G033 低功耗模式特征:

- STOP 模式 (大部分时钟被关闭,电压调节器仍运行在低功耗模式)
- 此外,运行模式下的功耗可以通过以下方法之一来降低:
 - ◆ 降低系统时钟
 - ◆ 关闭 APB 和 AHB 总线上未被使用的外设时钟

2.9 直接存储器存取(DMA)

集成 1 个灵活的通用 DMA 控制器,支持 3 个 DMA 通道,可以管理存储器到存储器、外设到存储器和存储器到外设的数据传输; DMA 控制器支持环形缓冲区的管理,避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑,同时可以由软件触发每个通道。可通过软件单独设置每个通道的传输的长度、传输的源地址和目标地址。

DMA 可以用于的外设: SPI、I2C、UART、TIMx (高级/通用/基本定时器)。

2.10 定时器和看门狗

N32G033 支持最多 1 个高级控制定时器、2 个通用定时器、1 个基本定时器,以及 1 个看门狗定时器和 1 个系统滴答定时器。

下表比较了高级控制定时器、通用定时器和基本定时器的功能:

表 2-1 定时器功能比较

定时器	计数器分辨率	计数器类型	预分频系数	捕获/比较通道	互补输出
TIM1	16位	向上, 向下, 向上/下	1~65536之间的任意整数	4/7	有

TIM3	16位	向上, 向下, 向上/下	1~65536之间的任意整数	4	没有
TIM4	32位	向上, 向下, 向上/下	1~65536之间的任意整数	3	没有
TIM6	32位	向上	1~65536之间的任意整数	0	没有

2.10.1高级定时器(TIM1)

高级控制定时器 (TIM1) 主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。

高级定时器具有互补输出功能、死区插入和刹车功能。适用于电机控制。

高级定时器的主要功能包括：

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- 可编程重复计数器。
- TIM1 最多 7 个通道。
- 7 个比较通道 (CH1/2/3/4/5/6/7) , 工作模式为： PWM 输出、输出比较、单脉冲模式输出。
- 4 个捕获通道 (CH1/2/3/4) , 工作模式为： 输入捕获。
- 如下事件发生时产生中断/DMA：
 - ◆ 更新事件。
 - ◆ 触发事件。
 - ◆ 输入捕获。
 - ◆ 输出比较。
 - ◆ 刹车信号输入。
- 死区时间可编程的互补输出。
 - 对于 TIM1, 通道 1、2、3、4 支持此功能。
- 可通过外部信号控制定时器。
- 多个定时器内部连接在一起，以实现定时器的同步或链接。
- TIM1_CC5 用于比较器消隐。
- TIM1 的通道 1/2/3/4/5/6/7 以及 TRGO 信号可触发 ADC。
- 增量（正交）编码器接口：用于追踪运行轨迹和解析旋转方位。
- 霍尔传感器接口：用于三相电机控制。

2.10.2通用定时器(TIM3)

通用定时器 (TIM3) 主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形

等。

通用定时器的主要功能包括：

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）。
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- TIM3 最多支持 4 个通道
- 通道工作模式：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 如下事件发生时产生中断/DMA：
 - ◆ 更新事件
 - ◆ 触发事件
 - ◆ 输入捕获
 - ◆ 输出比较
- 可通过外部信号控制定时器
- 多个定时器内部连接在一起，以实现定时器的同步或链接
- 增量（正交）编码器接口：用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口：用于三相电机控制
- 支持捕获内部比较器输出信号。

2.10.3 通用定时器(TIM4)

通用定时器 (TIM4) 主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。

通用定时器的主要功能包括：

- 32 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）。
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- TIM4 最多支持 3 个通道
- 通道工作模式：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 如下事件发生时产生中断/DMA：
 - ◆ 更新事件
 - ◆ 触发事件
 - ◆ 输入捕获
 - ◆ 输出比较
- 可通过外部信号控制定时器
- 多个定时器内部连接在一起，以实现定时器的同步或链接
- 增量（正交），脉冲+符号，CCW/CW 编码器接口：用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口：用于三相电机控制
- 支持捕获内部比较器输出信号。

2.10.4 基本定时器(TIM6)

基本定时器包含一个 32 位计数器

基本定时器的主要功能如下：

- 32 位自动重载向上计数器
- 16 位可编程预分频器（分频系数可配置为 1 到 65536 之间的任意值）
- 产生中断的事件如下：
 - ◆ 更新事件
- 支持 STOP 模式唤醒：时钟源配置为 LSI 时，可通过更新中断（联接到 EXTI9）唤醒 STOP 模式

2.10.5 系统时基定时器(Systick)

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。

它具有下述特性：

- ◆ 24 位的递减计数器
- ◆ 自动重加载功能
- ◆ 当计数器为 0 时能产生一个可屏蔽系统中断
- ◆ 可编程时钟源

2.10.6 看门狗定时器(WDG)

支持独立看门狗(IWDG)，提供了更高的安全性、时间的精确性和使用的灵活性。

独立看门狗 (IWDG)

独立看门狗是基于一个 14 位的递减计数器和一个 3 位的预分频器，由独立的的低速 RC 振荡器驱动，即使主时钟发生故障它也仍然有效，可工作在 STOP 模式。IWDG 一旦被激活，如果不在设定的时间内喂狗（清除看门狗计数器），则在计数器计数至 0x000 时产生复位，它可用于在应用程序发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。复位和低功耗唤醒可配。

2.11 I²C 总线接口

集成最多 2 个独立的 I²C 总线接口，它提供多主机功能，控制所有 I²C 总线特定的时序、协议、仲裁和超时。支持多种通信速率模式(最高支持 1MHz)，支持 DMA 操作，同时与 SMBus 2.0 兼容。I²C 模块有多种用途，包括 CRC 码的生成和校验、SMBus(系统管理总线—System Management Bus)和 PMBus(电源管理总线-Power Management Bus)。

I²C 接口的主要功能描述如下：

- ◆ 该模块既可做主设备也可做从设备；
- ◆ I²C 主设备功能：
 - 产生时钟；
 - 产生起始和停止信号；
- ◆ I²C 从设备功能：
 - 可编程的地址检测；
 - I²C 接口支持 7 位或 10 位寻址，7 位从模式时支持双从地址响应能力；
 - 停止位检测；

- ◆ 产生和检测 7 位/10 位地址和广播呼叫;
- ◆ 支持不同的通讯速度;
 - 标准速度(高达 100 kHz);
 - 快速(高达 400 kHz);
 - 快速+ (高达 1MHz) ;
- ◆ 状态标志:
 - 发送器/接收器模式标志;
 - 字节传输结束标志;
 - I2C 总线忙标志;
- ◆ 错误标志:
 - 主模式时的仲裁丢失;
 - 地址/数据传输后的应答(ACK)错误;
 - 检测到错位的起始或停止条件;
 - 禁止拉长时钟功能时的上溢或下溢;
- ◆ 支持中断向量: 事件中断和错误中断
- ◆ 支持数字滤波及模拟滤波
- ◆ 可选的拉长时钟功能
- ◆ 可配置的 PEC(信息包错误检测)的产生或校验
 - 发送模式中 PEC 值可以作为最后一个字节传输
 - 用于最后一个接收字节的 PEC 错误校验
- ◆ 兼容 SMBus 2.0
 - 可配置的时钟低超时延时
 - 10 ms 主设备累积时钟低扩展时间
 - 25 ms 从设备累积时钟低扩展时间
 - 带 ACK 控制的硬件 PEC 产生/校验
 - 支持地址解析协议(ARP)
- ◆ 兼容 PMBus

2.12 通用异步收发器(UART)

N32G033 系列产品中，集成了 3 个通用异步收发器(UART1、UART2、UART3)。

UART 接口支持异步通信模式，多处理器通信模式，单线半双工通信模式等。

UART 主要特性如下：

- 支持全双工异步通信
- 支持单线半双工通信
- 波特率可配置，最高波特率可达 4Mbit/s

- 波特率可配置
- 支持 8-bit 或 9-bit 数据帧
- 支持 1-bit 或 2-bit 停止位
- 支持硬件生成校验位及校验位检查
- 支持 TX/RX swap 功能
- 支持 DMA 收发
- 支持 RS-485
- UART3 支持低功耗唤醒
- 支持多处理器通信：如果地址不匹配，则进入静默模式，可通过空闲总线检测或地址标识唤醒
- 支持串行红外协议（IrDA SIR）编码与解码，提供正常与低功耗两种运行模式
- 支持 LIN 模式
- 支持多种错误检测：数据溢出错误、帧错误、噪声错误、检验错误
- 多个中断请求：
 - ✧ 发送数据寄存器空
 - ✧ 发送完成
 - ✧ 接收数据寄存器满
 - ✧ 总线空闲
 - ✧ 数据溢出
 - ✧ 帧错误
 - ✧ 噪声错误
 - ✧ 校验错误
 - ✧ LIN 模式的断开帧检测
 - ✧ 接收超时

模式配置：

UART modes	UART1	UART2	UART3
异步模式	支持	支持	支持
多处理器通讯	支持	支持	支持
半双工(单线模式)	支持	支持	支持
IrDA	支持	支持	支持
LIN	支持	支持	支持
RS-485	支持	支持	支持

2.13 串行外设接口(SPI)

支持 2 个 SPI 接口。SPI 允许芯片与外部设备以半/全双工、同步、串行方式通信。此接口可以被配置成主模式，并为外部从设备提供通信时钟(SCK)。接口还能以多主配置方式工作。它可用于多种用途，包括使用一条双向数据线的双线单工同步传输。

SPI 接口的主要功能如下：

- 3 线全双工同步传输;
- 带或不带第三根双向数据线的双线单工同步传输;
- 8 或 16 位传输帧格式选择;
- 主或从操作;
- 支持多主模式;
- 8 个主模式波特率预分频系数(最大为 $f_{PCLK}/2$);
- 从模式频率 (最大为 $f_{PCLK}/2$);
- 主模式和从模式的快速通信;
- 主模式和从模式下均可以由软件或硬件进行 NSS 管理: 主/从操作模式的动态改变;
- 可编程的时钟极性和相位;
- 可编程的数据顺序, MSB 在前或 LSB 在前;
- 可触发中断的专用发送和接收标志;
- SPI 总线忙状态标志;
- 支持可靠通信的硬件 CRC:
 - ◆ 在发送模式下, CRC 值可以被作为最后一个字节发送;
 - ◆ 在全双工模式中对接收到的最后一个字节自动进行 CRC 校验;
- 可触发中断的主模式故障、过载以及 CRC 错误标志
- 支持 DMA 功能的单字节发送和接收缓冲器: 产生发送和接受请求
- 接口最高速度: 16Mbps

2.14 通用输入输出接口(GPIO)

GPIO (General purpose input/output) 即通用型 I/O, AFIO (Alternate-function input/output) 即复用功能 I/O。芯片最多支持 29 个 GPIO, 共被分为 3 组 (GPIOA/GPIOB/GPIOF), A 组每组 16 个端口, B 组每组 9 个端口, F 组共 4 个。GPIO 端口和其他的复用外设共用引脚, 用户可以根据需求灵活配置。每个 GPIO 引脚都可以独立配置成输出、输入或复用的外设功能端口。除了模拟输入引脚外, 其他的 GPIO 引脚都有大电流通过能力。

- 每个 GPIO 口都可以通过软件配置成以下模式:
 - ◆ 输入浮空
 - ◆ 输入上拉
 - ◆ 输入下拉
 - ◆ 模拟功能
 - ◆ 推挽输出, 上拉/下拉可配置
 - ◆ 推挽复用功能, 上拉/下拉可配置
 - ◆ 开漏复用功能, 上拉/下拉可配置(仅 I2C 相关复用支持)
- 单独的位设置或位清除功能

- 所有 I/O 支持外部中断功能
- 所有 I/O 支持低功耗模式唤醒，上升沿或下降沿触发可配置
 - ◆ 所有 EXTI 均可唤醒，所有 GPIO 可配置到 EXTI0~6，可记录 7 组唤醒源（PA0~PA3：第 1 组，PA4~PA7：第 2 组，PA8~PA11：第 3 组，PA12~PA15：第 4 组，PB0~PB3：第 5 组，PB4~PB8：第 6 组，PF0~PF3：第 7 组）
- 支持软件重新映射 I/O 复用功能
- 支持 GPIO 锁定机制，复位锁定状态清除

支持 GPIO 锁定机制，复位方式清除锁定状态每个 I/O 端口位都可以任意编程，但 I/O 端口寄存器必须以 32 位字访问（16 位半字或 8 位字节模式是不允许的）。

2.15 模拟/数字转换器(ADC)

12 位 ADC 是使用逐次逼近的高速模数转换器。共有 16 个通道，可测 11 个外部和 5 个内部信号源。各个通道的 A/D 转换通道可以在单次、连续、段模式下执行。ADC 转换值存储（左对齐/右对齐）在 16 位数据寄存器中。可以通过模拟看门狗检测输入电压是否在用户定义的高/低阈值内，并且 ADC 的输入时钟的最大频率为 32MHz。

ADC 主要特性描述如下：

- 仅支持 12 位分辨率
- 仅支持单端输入
- 转换结束、发生模拟看门狗事件时产生中断
- 单次和连续转换模式
- 10 个结果寄存器，通道号可配
- 16（11 外部+5 内部）个通道设置，采样时间单独可配
- 单段、双段、三段、四段自定义采样序列采样，序列次数和通道号可灵活配置
- 转换完成中断，每个触发源转换完成后，自动产生转换完成标志，硬件置位软件清零；打开中断使能产生中断，包括段中断，任意通道完成中断，全部转换完成中断和看门狗中断
- 带内嵌数据一致性的数据对齐
- 规则转换有内部触发和外部触发选项
- 支持最大 1MSPS
- 支持 ADC 联动：支持可选 Trigger 源 16 个（包括 TIM Trigger 源 14 个，EXTI 和软件触发），触发后可以产生可配长度和指定通道的转换
- ADC 供电要求：2.4V 到 5.5V
- ADC 输入范围： $0 \leq \text{VIN} \leq \text{VDDA}$

2.16 模拟比较器(COMP)

内嵌 1 个比较器，可以用作单独的设备（比较器所有端口引到 I/O 上），也可以和定时器组合使用，在电机控制场合可以与来自定时器的 PWM 输出配合形成逐周期电流控制。

比较器主要功能如下：

- 1 个独立的比较器

- 独立的 8bit DAC 的内部参考输入
- 支持滤波时钟
- 输出极性可配置高、低
- 迟滞配置可配置无、低、中、高
- 比较结果可输出到 I/O 端口或触发定时器，用于捕获事件、OCREF_CLR 事件、刹车事件、产生中断
- 输入通道可复选 I/O 端口、专用的 8bit DAC
- COMP_CTRL 寄存器可配只读或读写，在锁定的情况下需要系统复位或模块复位才能解锁
- 支持消隐（Blanking），可配置产生 Blanking 的消隐源
- 可配置滤波窗口大小
- 可配置滤波阈值大小
- 可配置用于滤波的采样频率

2.17 运算放大器(OPAMP)

片内集成了 3 个具有多种工作模式的独立运算放大器，适用于独立运放 PGA 和跟随等模式应用。OPAMP 的输入范围是 0V 到 VDDA，输出范围是 0.4V 到 VDDA-0.4V。

运算放大器主要功能如下：

- OPA1 支持独立运放模式，跟随模式，差分 PGA 模式，单端 PGA 模式；OPA2、OPA3 差分 PGA 模式和跟随模式
- 支持轨到轨输入，输入范围是 0 到 VDDA，输出范围是 0.4 到 VDDA-0.4 可编程增益
- OPAMP 通过外部电阻连接可配置为仪表放大器
- 内部电阻反馈网络可配置，2% 精度
- 可编程增益设置
- OPA1 单端 PGA 增益：2X、4X、8X、16X、32X 倍
- OPA1 差分 PGA 增益：1X、2X、4X、8X、16X、32X 倍
- OPA2、OPA3 差分 PGA 增益：1X、2X、4X、8X、16X 倍
- 增益带宽：5MHz
- 支持独立写保护

2.18 温度传感器(TS)

温度传感器产生一个随温度线性变化的电压，工作范围在 $2.4V < V_{DDA} < 5.5V$ 之间。温度传感器在内部被连接到 ADC_IN11 的输入通道上，用于将温度传感器的输出转换到数字数值。

2.19 HDIV 和 SQRT

除法器（HDIV）、均方根（SQRT）主要应用于某些对计算能效要求比较高的场景，用于部分补充微控制器在计算方面的不足。该除法器、开方计算器可执行 32 位整数的除法运算或者开方计算。

HDIV 主要特性如下：

- 只支持 32 位操作，持有符号或无符号运算
- 输入：32 位被除数、32 位除数
- 输出：32 位商、32 位余数
- 8 个时钟周期完成一次有/无符号整数除法运算
- 除数为零，警告标志位，数据固定返回 0
- 支持可选硬件自动使能（写入除数自动使能）
- 读商或余数寄存器，无需查询状态，可立即读（使能）

SQRT主要特性如下：

- 只支持 32 位操作
- 输入：32 位无符号被开方整数
- 输出：16 位开方根
- 8 个时钟周期完成一次无符号整数开方运算
- 支持可选硬件自动使能（写入被开方整数自动使能）
- 读结果寄存器，无需查询状态，可立即读

2.20 唯一设备序列号(UID)

N32G033 系列产品内置两个不同长度的唯一设备序列号，分别为 96 位的 UID(Unique device ID)和 128 位的 UCID(Unique Customer ID)，这两个设备序列号存放在闪存存储器的系统配置块中，它们所包含的信息在出厂时编写，并保证对 N32G033 系列任意一个微控制器在任何情况下都是唯一的，用户应用程序或外部设备可以通过 CPU 或 SWD 接口读取，不可被修改。

UID 为 96 位，通常用来做为序列号或作为密码，在编写闪存时，将此唯一标识与软件加解密算法相结合，进一步提高代码在闪存存储器内的安全性。

UCID 为 128 位，遵守国民技术芯片序列号定义，它包含芯片生产及版本相关信息。

2.21 串行 SWD 调试口(SWD)

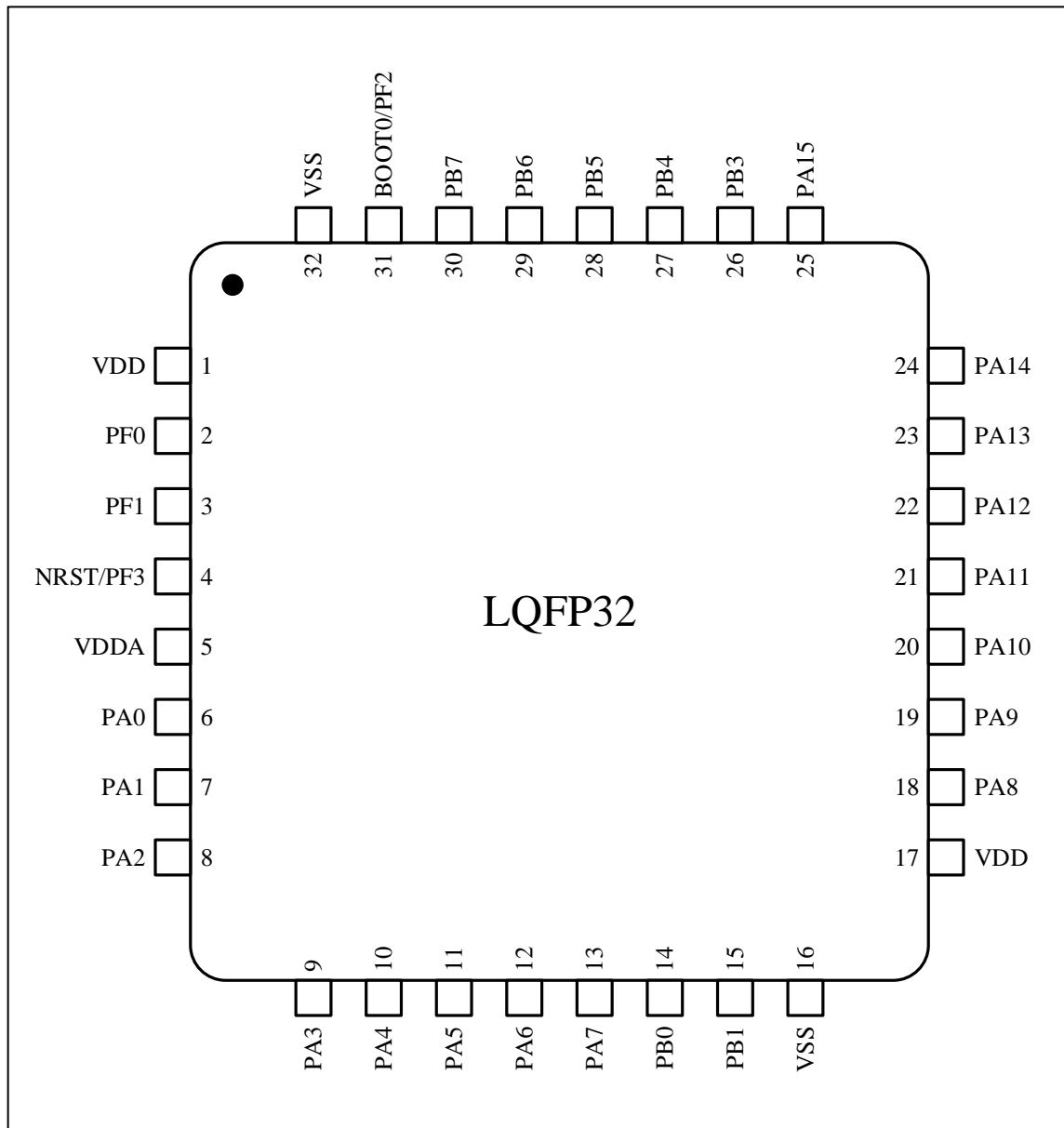
内嵌 ARM 的 SWD 接口。

3 引脚定义和描述

3.1 封装示意图

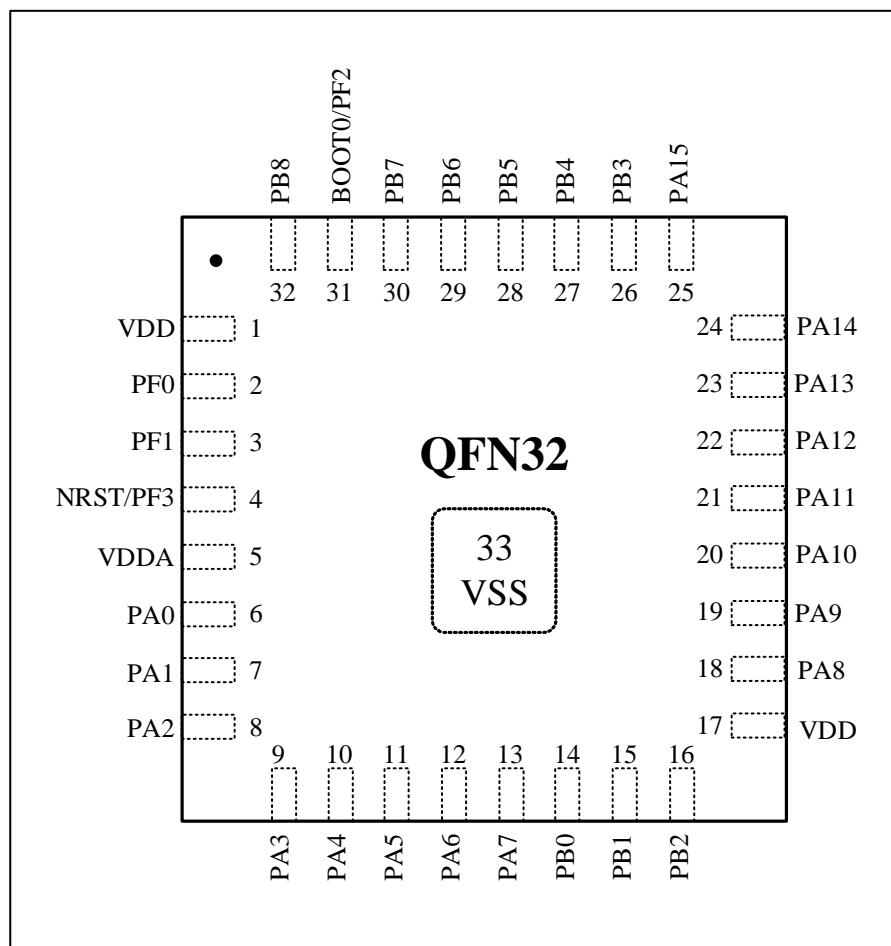
3.1.1 LQFP32

图 3-1 N32G033 系列 LQFP32 引脚分布



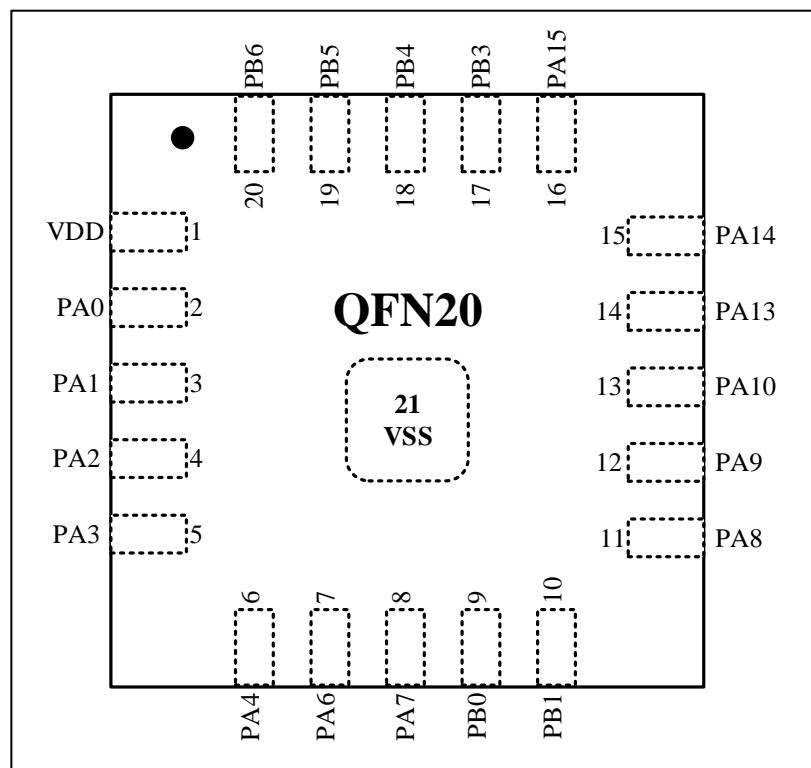
3.1.2 QFN32

图 3-2 N32G033 系列 QFN32 引脚分布



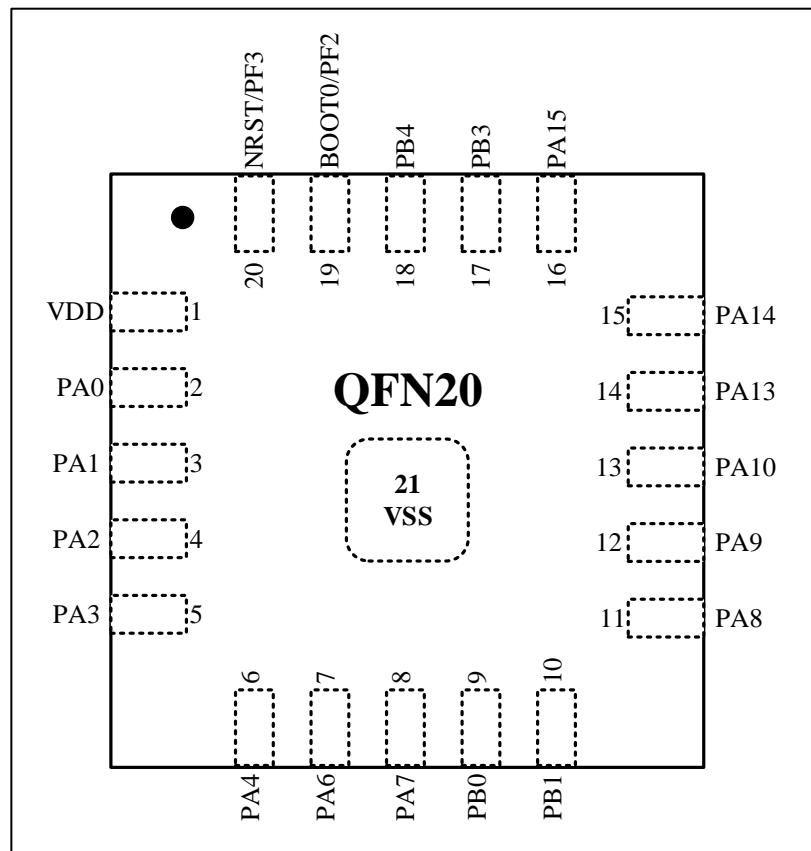
3.1.3 QFN20

图 3-3 N32G033 系列 QFN20 引脚分布



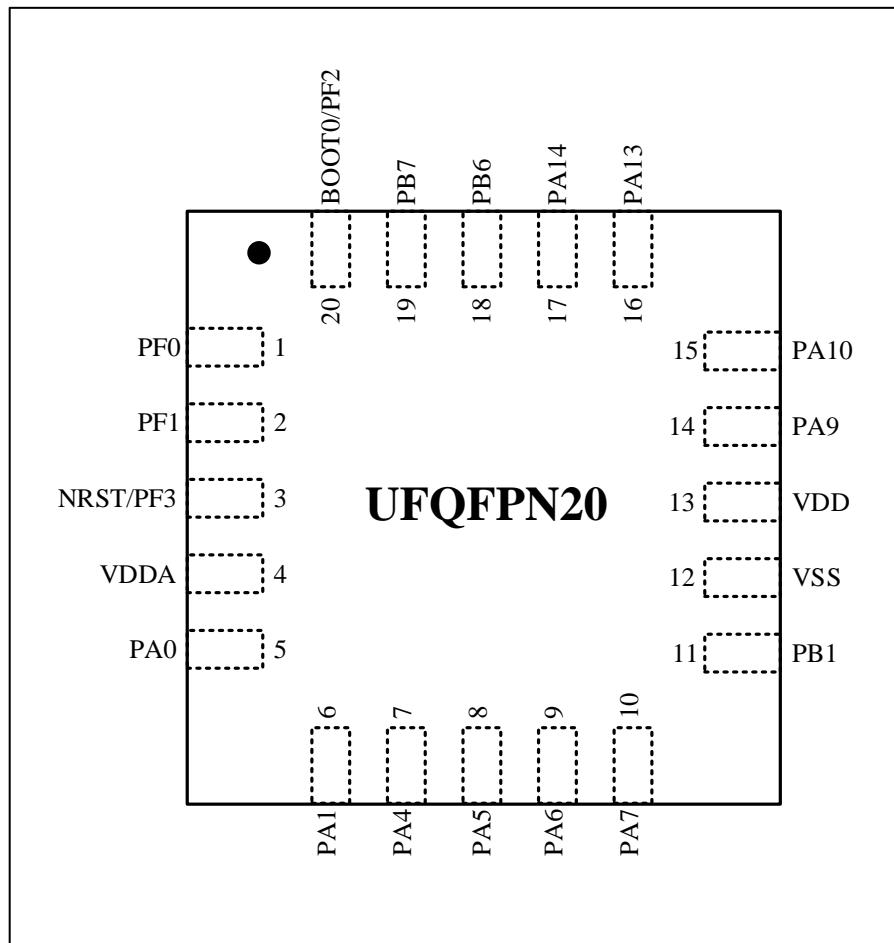
3.1.4 QFN20-1

图 3-4 N32G033 系列 QFN20-1 引脚分布



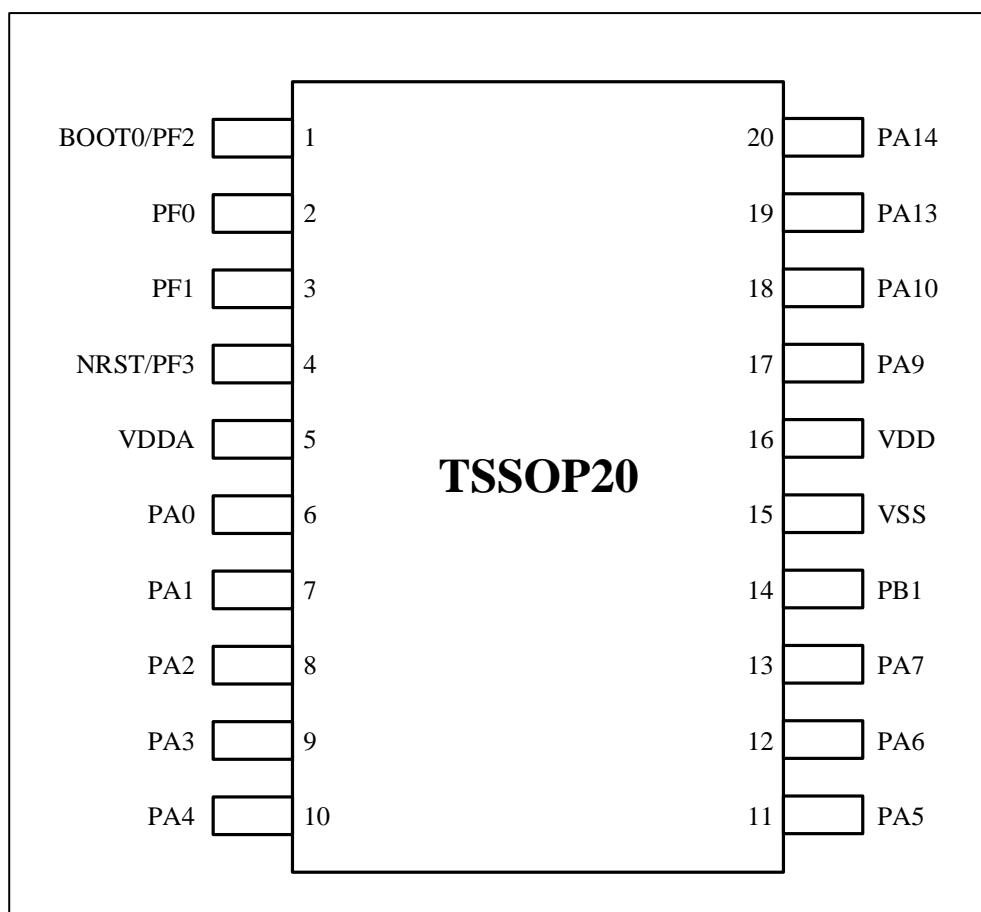
3.1.5 UFQFPN20

图 3-5 N32G033 系列 UFQFPN20 引脚分布



3.1.6 TSSOP20

图 3-6 N32G033 系列 TSSOP20 引脚分布



3.2 引脚复用定义

复用功能IO重映射详情请见用户手册“GPIO和AFIO”章节内的“复用功能”章节。

表 3-1 管脚定义

Package						Pin name (function after reset)	Type ⁽¹⁾	I/O ⁽²⁾	Alternate functions ⁽³⁾	
LQFP32	QFN32	QFN20	QFN20-1	UFQFPN20	TSSOP20				Digital	Analog
1	1	1	1	-	-	VDD	S	TC	-	VDD
2	2	-	-	1	2	PF0	I/O	TC	I2C1_SDA, TIM3_CH1, UART1_TX, UART2_TX, UART3_TX, TIM3_ETR	OPAMP1_VINP
3	3	-	-	2	3	PF1	I/O	TC	I2C1_SCL, TIM3_CH2, UART1_RX, UART2_RX, UART3_RX, TIM4_ETR	OPAMP1_INM,
4	4	-	20	3	4	NRST/PF3 ⁽⁴⁾	I	RST	NRST	-
							I/O	TC	TIM3_CH3, TIM4_ETR, UART1_DE, UART2_DE, UART3_DE,	
5	5	-	-	4	5	VDDA	S	-	-	VDDA
6	6	2	2	5	6	PA0	I/O	TC	SPI1_SCK, UART2_RX, UART3_RX, TIM3_CH1, TIM1_CH5, TIM4_CH1, UART1_RX, COMP_OUT,	ADC_IN0, COMP_INM, OPAMP1_VINP
7	7	3	3	6	7	PA1	I/O	TC	EVENT_OUT, SPI1_NSS, I2C1_SMBA, TIM3_ETR, UART3_TX, TIM3_CH2, TIM1_CH6, TIM4_CH2, SPI1_MISO, UART2_TX, UART1_TX,	ADC_IN1, COMP_INP, OPAMP1_VINP
8	8	4	4	-	8	PA2	I/O	TC	UART1_TX, UART2_TX, SPI1_MOSI, TIM1_BKIN1, TIM3_CH3, TIM1_CH7, TIM4_CH3, UART3_TX,	ADC_IN2, OPAMP1_VINM

9	9	5	5	-	9	PA3	I/O	TC	UART1_RX, UART2_RX, TIM1_CH2, SPI1_MISO, UART3_RX	ADC_IN3, COMP_INP
10	10	6	6	7	10	PA4	I/O	TC	SPI1_MISO, TIM3_CH1, TIM1_CH1, SPI1_NSS, I2C1_SCL, UART3_TX, UART1_DE, UART2_DE,	ADC_IN4, COMP_INM, OPAMP1_VINP
11	11	-	-	8	11	PA5	I/O	TC	SPI1_SCK, TIM1_CH2N, TIM1_CH3, SPI1_MOSI, I2C1_SDA,	ADC_IN5, COMP_INM, OPAMP1_VINM
12	12	7	7	9	12	PA6	I/O	TC	EVENT_OUT, SPI1_MISO, TIM3_CH1, TIM1_BKIN2, UART3_TX, I2C2_SCL, COMP_OUT,	ADC_IN6, OPAMP1_VOUT
13	13	8	8	10	13	PA7	I/O	TC	SPI1_MOSI, SPI2_NSS, TIM3_CH2, TIM1_CH1N, UART3_RX, I2C2_SDA,	ADC_IN7, COMP_INP, OPAMP1_VINP OPAMP1_VOUT_R
14	14	9	9	-	-	PB0	I/O	TC	TIM3_CH3, TIM1_CH2N, SPI2_SCK,	ADC_IN8, OPAMP1_VINP
15	15	10	10	11	14	PB1	I/O	TC	TIM3_CH3, TIM3_CH4, TIM1_CH3N, SPI2_MOSI, SPI1_MOSI,	ADC_IN9, OPAMP1_VINM
-	16	-	-	-	-	PB2	I/O	TC	I2C1_SMBA, I2C2_SMBA, TIM3_CH4,	ADC_IN10, OPAMP1_VINM
16	-	21	21	12	-	VSS	S	-	-	VSS
17	17	1	1	13	-	VDD	S	-	-	VDD
18	18	11	11	-	-	PA8	I/O	TC	TIM1_CH1, MCO, SPI2_NSS, UART1_DE, UART2_DE,	COMP_INP, OPAMP3_INP,
19	19	12	12	14	17	PA9	I/O	TC	UART1_TX, TIM1_CH2, I2C1_SCL, I2C2_SCL, SPI2_SCK, UART2_TX, MCO,	COMP_INP, OPAMP3_INM,
20	20	13	13	15	18	PA10	I/O	TC	UART1_RX, TIM1_CH3, I2C1_SDA, I2C2_SDA, SPI2_MISO, UART2_RX,	COMP_INP, OPAMP2_INM,

21	21	-	-	-	-	PA11	I/O	TC	TIM1_CH4, I2C2_SCL, SPI1_MOSI, TIM1_BKIN3, COMP_OUT,	COMP_INM, OPAMP2_INP,
22	22	-	-	-	-	PA12	I/O	TC	EVENT_OUT, TIM1_ETR, I2C2_SDA, SPI2_MISO, TIM1_BKIN4, COMP_OUT,	COMP_INP,
23	23	14	14	16	19	PA13 (SWDIO)	I/O	TC	SWDIO, UART1_RX, UART2_RX, I2C1_SDA, SPI1_SCK, UART3_RX, TIM3_CH2, TIM4_CH2,	
24	24	15	15	17	20	PA14 (SWCLK)	I/O	TC	UART1_TX, UART2_TX, SWCLK, I2C1_SMBA, SPI1_MISO, UART3_TX, TIM3_CH1, TIM4_CH1,	-
25	25	16	16	-	-	PA15	I/O	TC	SPI1_NSS, UART1_RX, UART2_RX, TIM1_CH1, TIM1_CH1N, TIM1_CH2, TIM1_CH2N, TIM1_CH3, TIM1_CH3N, TIM1_CH4, TIM1_CH4N, TIM4_CH1,	-
26	26	17	17	-	-	PB3	I/O	TC	SPI1_SCK, UART3_TX, TIM3_ETR, TIM1_CH1, TIM1_CH1N, TIM1_CH2, TIM1_CH2N, TIM1_CH3, TIM1_CH3N, TIM1_CH4, TIM1_CH4N, TIM4_CH2,	-
27	27	18	18	-	-	PB4	I/O	TC	EVENT_OUT, SPI1_MISO, TIM3_CH1, UART3_RX, TIM1_CH1, TIM1_CH1N, TIM1_CH2, TIM1_CH2N, TIM1_CH3, TIM1_CH3N, TIM1_CH4,	-

									TIM1_CH4N,	
28	28	19	-	-	-	PB5	I/O	TC	SPI1_MOSI, I2C1_SMBA, TIM3_CH2, UART3_TX, TIM1_CH1, TIM1_CH1N, TIM1_CH2, TIM1_CH2N, TIM1_CH3, TIM1_CH3N, TIM1_CH4, TIM1_CH4N,	-
29	29	20	-	18	-	PB6	I/O	TC	I2C1_SCL, UART1_TX, TIM1_CH1, TIM1_CH1N, TIM1_CH2, TIM1_CH2N, TIM1_CH3, TIM1_CH3N, TIM1_CH4, TIM1_CH4N, TIM3_CH3,	-
30	30	-	-	19	-	PB7	I/O	TC	I2C1_SDA, UART1_RX, UART3_RX, TIM1_CH1, TIM1_CH1N, TIM1_CH2, TIM1_CH2N, TIM1_CH3, TIM1_CH3N, TIM1_CH4, TIM1_CH4N, TIM3_CH4,	-
31	31	-	19	20	1	BOOT0/PF2	I/O	TC	BOOT0, TIM1_CH1, TIM1_CH1N, TIM1_CH2, TIM1_CH2N, TIM1_CH3, TIM1_CH3N, TIM1_CH4, TIM1_CH4N,	-
-	32	-	-	-	-	PB8	I/O	TC	I2C1_SCL, TIM1_CH1, TIM1_CH1N, TIM1_CH2, TIM1_CH2N, TIM1_CH3, TIM1_CH3N, TIM1_CH4,	

1. $I = \text{输入}, O = \text{输出}, S = \text{电源}, \text{HiZ} = \text{高阻}$
 2. TC : 标准5V I/O, RST : 带嵌入式弱上拉电阻的双向复位引脚
 3. 此类复用功能能够由软件配置到其他引脚上(如果相应的封装型号有此引脚), 详细信息请参考N32G033系列用户手册的复用功能I/O章节和调试设置章节。
 4. $PF3$ 引脚无论用作 $NRST$ 还是普通 $GPIO$, 外部建议上拉, 防止上电时 MCU 一直处于复位状态。

4 电气特性

4.1 测试条件

除非特别说明，所有电压的都以 V_{SS} 为基准。

4.1.1 最小和最大数值

除非特别说明，在生产线上通过对 100% 的产品在环境温度 $T_A=25^\circ\text{C}$ 下执行的测试，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过特征测试、设计仿真和/或工艺特性得到的数据，不会在生产线上进行测试；在特征测试的基础上，最小和最大值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\sigma$)得到。

4.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25^\circ\text{C}$ 和 $V_{DD}=3.3\text{V}/5.0\text{V}(2.0\text{V} \leq V_{DD} \leq 5.5\text{V}$ 电压范围)。这些数据仅用于设计指导而未经测试。

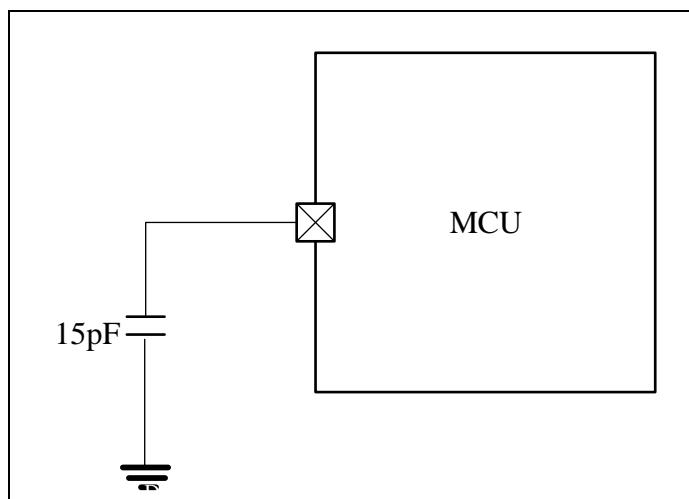
4.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

4.1.4 负载电容

测量引脚参数时的负载条件示于图 4-1 中。

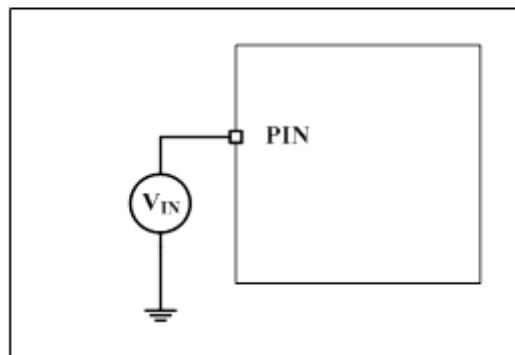
图 4-1 引脚的负载条件



4.1.5 引脚输入电压

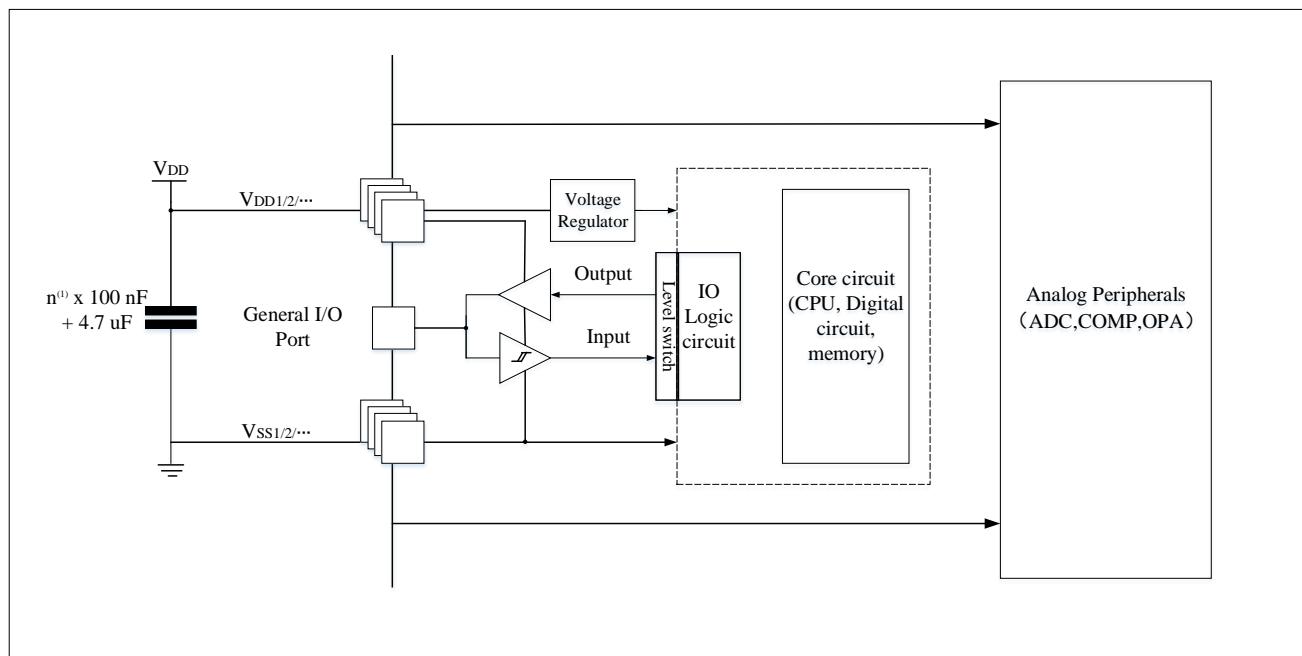
引脚上输入电压的测量方式示于图 4-2 中。

图 4-2 引脚输入电压



4.1.6 供电方案

图 4-3 供电方案

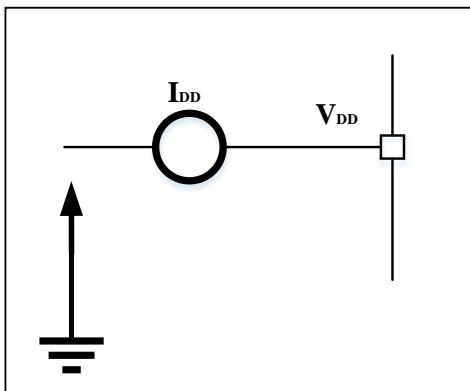


1. n 为 V_{DD} 个数。

注意：电容连接方式请参考硬件设计指南。

4.1.7 电流消耗测量

图 4-4 电流消耗测量方案



4.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表(表 4-1、表 4-2、表 4-3)中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 4-1 电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压(V_{DD}) ⁽¹⁾	-0.3	5.5	V
V_{IN}	任意I/O和控制引脚上的输入电压 ⁽²⁾	$V_{SS} - 0.3$	5.5	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差	-	50	mV
$ V_{SSx} - V_{SS} $	不同接地引脚之间的电压差	-	50	
$V_{ESD(HBM)}$	ESD静电放电电压(人体模型)	参见第4.3.9节		

- 所有的电源(V_{DD})和地(V_{SS})引脚必须始终连接到外部允许范围内的供电系统上。
- $I_{INJ(PIN)}$ 绝对不可以超过它的极限(见表 4-2)，即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值，也要保证在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{INmax}$ 时，有一个正向注入电流；当 $V_{IN} < V_{SS}$ 时，有一个反向注入电流。

表 4-2 电流特性

符号	描述	最大值 ⁽¹⁾	单位
I_{VDD}	经过 V_{DD} 电源线的总电流(供应电流) ⁽¹⁾ 在 $VDD=5.0V$ 时测试	200	mA
I_{VSS}	经过 V_{SS} 地线的总电流(流出电流) ⁽¹⁾ 在 $VDD=5.0V$ 时测试	200	
I_{IO}	任意I/O和控制引脚上的输出灌电流在 $VDD=5.0V$ 时测试	16	
	任意I/O和控制引脚上的输出电流在 $VDD=5.0V$ 时测试	-16	
$I_{INJ(PIN)}^{(2)(3)}$	做NRST引脚功能时的注入电流在 $VDD=5.0V$ 时测试	0/-5	
	其他引脚的注入电流 ⁽⁴⁾ 在 $VDD=5.0V$ 时测试	+/-5	
$\sum I_{INJ(PIN)}^{(2)}$	所有I/O和控制引脚上的总注入电流 ⁽⁴⁾ 在 $VDD=5.0V$ 时测试	+/-16	

- 所有的电源(V_{DD})和地(V_{SS})引脚必须始终连接到外部允许范围内的供电系统上。
- $I_{INJ(PIN)}$ 绝对不可以超过它的极限，即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值，也要保证在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时，有一个正向注入电流；当 $V_{IN} < V_{SS}$ 时，有一个反向注入电流。
- 反向注入电流会干扰器件的模拟性能。
- 当几个I/O口同时有注入电流时， $\sum I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。

表 4-3 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-40 ~ + 150	°C
T_J	最大结温度	125	°C

4.3 工作条件

4.3.1 通用工作条件

表 4-4 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部AHB时钟频率	-	-	64	MHz
f_{PCLK}	内部APB时钟频率	-	-	32	
V_{DD}	标准工作电压	-	2.0	5.5	V
	使用ADC部分时工作电压	必须与 $V_{DD}^{(1)}$ 相同	2.4	5.5	V
	使用OPA(跟随模式/单端PGA模式)部分时工作电压	必须与 $V_{DD}^{(1)}$ 相同	2.4	5.5	V
	使用OPA(差分模式)部分时工作电压	必须与 $V_{DD}^{(1)}$ 相同	2.8	5.5	V
	使用COMP部分时工作电压	必须与 $V_{DD}^{(1)}$ 相同	2.2	5.5	V
T_A	环境温度	后缀版本7	-40	105	°C
T_J	结温度范围	后缀版本7	-40	125	°C

1. 使用相同的电源为 V_{DD} 和 V_{DDA} 供电, 在上电和正常操作期间, V_{DD} 和 V_{DDA} 之间最多允许有 300mV 的差别。

4.3.2 上电和掉电时的工作条件

下表中给出的参数是依据表 4-4列出的环境温度下测试得出。

表 4-5 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率	从0到 V_{DD}	20	∞	$\mu s/V$
	V_{DD} 下降速率	从 V_{DD} 到0	80	∞	$\mu s/V$

4.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 4-4列出的环境温度下和 V_{DD} 供电电压下测试得出。

 表 4-6 内嵌复位和电源控制模块特性⁽¹⁾

符号	参数	条件	Min	Typ	Max	单位
V_{PVD}	Rising	$PVD[3:0]=0$	Reserved			V
	Falling	$PVD[3:0]=0$				
	Rising	$PVD[3:0]=1$	2	2.08	2.16	
	Falling	$PVD[3:0]=1$	1.9	1.98	2.06	
	Rising	$PVD[3:0]=2$	2.2	2.28	2.36	
	Falling	$PVD[3:0]=2$	2.1	2.18	2.26	
	Rising	$PVD[3:0]=3$	2.4	2.48	2.56	

	Falling	PVD[3:0]=3	2.3	2.38	2.46	
	Rising	PVD[3:0]=4	2.6	2.68	2.76	
	Falling	PVD[3:0]=4	2.5	2.58	2.66	
	Rising	PVD[3:0]=5	2.8	2.88	2.96	
	Falling	PVD[3:0]=5	2.7	2.78	2.86	
	Rising	PVD[3:0]=6	3	3.08	3.16	
	Falling	PVD[3:0]=6	2.9	2.98	3.06	
	Rising	PVD[3:0]=7	3.2	3.28	3.36	
	Falling	PVD[3:0]=7	3.1	3.18	3.26	
	Rising	PVD[3:0]=8	3.4	3.48	3.56	
	Falling	PVD[3:0]=8	3.3	3.38	3.46	
	Rising	PVD[3:0]=9	3.6	3.68	3.76	
	Falling	PVD[3:0]=9	3.5	3.58	3.66	
	Rising	PVD[3:0]=10	3.8	3.88	3.96	
	Falling	PVD[3:0]=10	3.7	3.78	3.86	
	Rising	PVD[3:0]=11	4	4.08	4.16	
	Falling	PVD[3:0]=11	3.9	3.98	4.06	
	Rising	PVD[3:0]=12	4.2	4.28	4.36	
	Falling	PVD[3:0]=12	4.1	4.18	4.26	
	Rising	PVD[3:0]=13	4.4	4.48	4.56	
	Falling	PVD[3:0]=13	4.3	4.38	4.46	
	Rising	PVD[3:0]=14	4.6	4.68	4.76	
	Falling	PVD[3:0]=14	4.5	4.58	4.66	
	Rising	PVD[3:0]=15	4.8	4.88	4.96	
	Falling	PVD[3:0]=15	4.7	4.78	4.86	
V _{PVDhyst} ⁽¹⁾	PVD迟滞	-	80	100	125	mV
V _{POR/PDR}	VDD上电/下电复位阈值	Falling edge	-	1.65	-	V
		Rising edge	-	1.58	-	V
V _{PDR/PORhyst} ⁽¹⁾	POR/PDR迟滞电压	-	-	100	-	mV
T _{RESETTEMPO} ⁽¹⁾	复位持续时间	-	-	150	-	us

1. 由设计保证, 不在生产中测试。

4.3.4 内置的参考电压

下表中给出的参数是依据表 4-4列出的环境温度下和V_{DD}供电电压下测试得出。

表 4-7 内置的参照电压⁽³⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{REF1.2V}	内置参照电压	-40°C < T _A < +105°C	1.176	1.2	1.224	V
V _{REF1.8V}	OPA Buffer输出电压	-40°C < T _A < +105°C	1.764	1.8	1.836	V
V _{REF3.6V}	ADC参考电压	-40°C < T _A < +105°C	3.528	3.6	3.672	V
1/2VDDA	OPA Buffer输出电压	-40°C < T _A < +105°C	0.49*VDDA	0.5*VDDA	0.51*VDDA	V

1/4VDDA	OPA Buffer 输出电压	-40°C < TA < +105°C	0.245*VDDA	0.25*VDDA	0.255*VDDA	V
T _{S_vrefint⁽¹⁾}	当读出内部参照电压时, ADC 的采样时间	PLS[2:0]=001 (上升沿), f _{ADC_CLK} =32MHz	16 ⁽²⁾	-	-	μs

- 最短的采样时间是通过应用中的多次循环得到。
- 换算成 ADC 采样周期为 512cycle
- 生产校准精度, 未包括焊接影响。焊接带来电压偏差影响范围约±1%。

4.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标, 这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明, 详见图 4-4。

本节中给出的所有运行模式下的电流消耗测量值, 都是在执行一套精简的代码。

4.3.5.1 最大电流消耗

微控制器处于下列条件:

- 所有的 I/O 引脚都处于输入模式, 并连接到一个静态电平上——V_{DD} 或 V_{SS}(无负载)。
- 所有的外设都处于关闭状态, 除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率(0 < SYSCLK≤32MHz 时为 0 个等待周期, 32MHz < SYSCLK≤64MHz 时为 1 个等待周期)。
- 当开启外设时: f_{PCLK} = f_{HCLK}/2。
- V_{DD}=5.5V, 环境温度等于 105°C。

表 4-8 中给出的参数, 是依据表 4-4 列出的环境温度下和 VDD 供电电压下测试得出。

表 4-8 运行模式下的典型电流消耗, 数据处理代码从内部闪存中运行

符号	参数	条件	f _{HCLK}	典型值 ⁽¹⁾		单位
				VDD=5.5V, TA = 105°C		
I _{DD}	运行模式下的供应电流	内部时钟, 使能所有外设	64MHz	7.7		mA
			32MHz	4.4		
			16MHz	2.9		
			8MHz	2.2		
	内部时钟, 关闭所有外设		64MHz	4.6		
			32MHz	2.85		
			16MHz	2.1		
			8MHz	1.7		

- 由特征测试结果保证, 不在生产中测试。

4.3.5.2 典型电流消耗

MCU 处于下述条件下:

- 所有的 I/O 引脚都处于输入模式, 并连接到一个静态电平上——V_{DD} 或 V_{SS}(无负载)。
- 所有的外设都处于关闭状态, 除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率(0 < SYSCLK≤32MHz 时为 0 个等待周期, 32MHz <

SYSCLK≤64MHz 时为 1 个等待周期)。

- 环境温度和 V_{DD} 供电电压条件列于表 4-4。
- 指令预取功能开启(提示: 这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时: f_{PCLK} = f_{HCLK}/2。

表 4-9 运行模式下的典型电流消耗, 数据处理代码从内部闪存中运行(T_A=25°C、V_{DD}=5.0V)

符号	参数	条件	f _{HCLK}	典型值		单位
				使能所有外设	关闭所有外设	
I _{DD}	运行模式下的供应电流	内部高速时钟	64MHz	7.6	4.5	mA
			32MHz	4.3	2.8	
			16MHz	2.9	2.0	
			8MHz	2.1	1.7	

表 4-10 运行模式下的典型电流消耗, 数据处理代码从内部闪存中运行(T_A=25°C、V_{DD}=3.3V)

符号	参数	条件	f _{HCLK}	典型值		单位
				使能所有外设	关闭所有外设	
I _{DD}	运行模式下的供应电流	内部高速时钟	64MHz	7.4	4.4	mA
			32MHz	4.25	2.7	
			16MHz	2.8	1.95	
			8MHz	2.05	1.58	

4.3.5.3 低功耗电流消耗

微控制器处于下列条件:

- 所有的I/O引脚都处于输入模式, 并连接到一个静态电平上—V_{DD}或V_{SS}(无负载)。
- 所有的外设都处于关闭状态, 除非特别说明。

表 4-11 STOP 模式下的典型消耗(T_A=25°C、V_{DD}=3.3V)

符号	参数	条件	典型值	最大值	单位
I _{DD_STOP}	STOP模式下的电流	SRAM保持, 所有I/O状态保持, BS TIM、独立看门狗关闭	1.81	-	uA

表 4-12 STOP 模式下的典型消耗(T_A=25°C、V_{DD}=5.0V)

符号	参数	条件	典型值	最大值	单位
I _{DD_STOP}	STOP模式下的电流	SRAM保持, 所有I/O状态保持, BS TIM、独立看门狗关闭	2.05	5	uA

4.3.6 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

4.3.6.1 高速内部(HSI)RC振荡器

表 4-13 HSI 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位

f _{HSI}	频率	VDD=5.0V, T _A = 25°C	-0.5 ⁽³⁾	64MHz	0.5 ⁽³⁾	%
ACC _{HSI}	HSI振荡器的频率 (4)	VDD=2.0~5.5V, T _A = -40~105°C	-2 ⁽⁴⁾	64MHz	1.5 ⁽⁴⁾	%
		VDD=5.0V, T _A = 0~85°C	-1 ⁽⁴⁾	64MHz	1 ⁽⁴⁾	%
t _{SU(HSI)}	HSI振荡器启动时间 ⁽²⁾	T _A = 25°C	-	-	10	μs
I _{DD(HSI)}	HSI振荡器功耗 ⁽²⁾	T _A = 25°C	-	400	600	μA

1. V_{DD} = 5.0V, T_A = -40~105°C, 除非特别说明。
2. 由设计保证, 不在生产中测试。
3. 生产校准精度, 未包括焊接影响。焊接带来频率偏差影响范围约±1%。
4. 频率偏差包括焊接带来的影响, 数据来自样品测试, 不在生产中进行测试。

4.3.6.2 低速内部(LSI)RC振荡器

表 4-14 LSI 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f _{LSI} ⁽²⁾	输出频率	VDD=5.0V, T _A = 25°C	-1	32KHz	+1	%
		VDD = 2.0V ~ 5.5V, T _A = -40~105°C	-5	32KHz	+5	%
t _{SU(LSI)} ⁽²⁾	LSI振荡器启动时间	T _A = 25°C	-	30	80	μs
I _{DD(LSI)} ⁽²⁾	LSI振荡器功耗	T _A = 25°C	-	0.3	-	μA

1. V_{DD} = 5.0V, T_A = -40~105°C, 除非特别说明。
2. 由设计保证, 不在生产中测试。

4.3.7 从低功耗模式的唤醒时间

表 4-15列出的唤醒时间是在一个64MHz的HSI RC振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定:

■ STOP模式: 时钟源是RC振荡器

所有的时间是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-15 低功耗模式的唤醒时间

符号	参数	典型值	最大值	单位
t _{WUSTOP} ⁽¹⁾	从STOP模式唤醒, VDD =VDDA=5V @25 °C, LSI打开	35 ⁽¹⁾	45	us

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令;

4.3.8 FLASH存储器特性

除非特别说明, 所有特性参数是在T_A = -40~105°C得到。

表 4-16 闪存存储器特性

符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
t _{PROG}	32位的编程时间	T _A = -40~105°C	-	75	-	μs
t _{ERASE}	页(512字节)擦除时间	T _A = -40~105°C	-	2.5	-	ms
t _{ME}	整片擦除时间	T _A = -40~105°C	-	35	-	ms
I _{DD}	供电电流 ⁽¹⁾	读模式, f _{HCLK} =64MHz, V _{DD} =5.0V	-	4.5	6.0	mA

	写模式, $f_{HCLK}=64MHz$, $V_{DD}=5.0V$	-	-	2	mA
	擦除模式, $f_{HCLK}=64MHz$, $V_{DD}=5.0V$	-	-	1.5	mA
	STOP模式, $V_{DD}=2.0\sim 5.0V$	-	0.3	15 ⁽²⁾	μA

1. 由设计保证, 不在生产中测试。
2. $T_A = 85^\circ C$ 下测试得到。

表 4-17 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值 ⁽¹⁾	单位
N_{END}	寿命(注: 擦写次数)	$T_A = -40\sim 105^\circ C$;	100	千次
t_{RET}	数据保存期限	$T_A = 105^\circ C$, 1000次擦写 ⁽¹⁾ 之后	10	年

1. 由特征测试得出, 不在生产中测试。

4.3.9 绝对最大值(电气敏感性)

基于三个不同的测试(ESD, LU), 使用特定的测量方法, 对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上

表 4-18 ESD 绝对最大值

符号	参数	条件	类型	最大值 ⁽¹⁾	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型) ⁽²⁾	$T_A = +25^\circ C$, 符合MIL-STD-883K Method 3015.9	3A	± 4000	V
$V_{ESD(CDM)}$	静电放电电压(充电设备模型)	$T_A = +25^\circ C$, 符合ESDA/JEDEC JS-002-2018	C3	± 2000	
$V_{FESD}^{(3)}$	施加在除电源以外的任意I/O引脚上的电压限制, 以引起功能干扰	$T_A = +25^\circ C, VDD=5.0V$, $HCLK = 64MHz$, 符合IEC 61000-4-2	-	± 1500	V
	施加在VDD/VSS引脚上的电压限制, 以引起功能干扰	$T_A = +25^\circ C, VDD=5.0V$, $HCLK = 64MHz$, 符合IEC 61000-4-2	-	± 11000	
V_{EFTB}	在除电源以外的任意I/O引脚上施加快速瞬态电压突发限制, 以引起功能干扰	$T_A = +25^\circ C, VDD=5.0V$, $HCLK = 64MHz$, 符合IEC 61000-4-4	4A	± 2000	
	在VDD/VSS引脚上施加快速瞬态电压突发限制, 以引起功能干扰	$T_A = +25^\circ C, VDD=5.0V$, $HCLK = 64MHz$, 符合IEC 61000-4-4		± 4000	

1. 由特征测试结果保证, 不在生产中测试。
2. 测试除了NRST外的所有引脚, 具体测试结果请参考ESD-HBM测试报告。
3. 芯片级测试

静态栓锁

为了评估栓锁性能, 需要在6个样品上进行2个互补的静态栓锁测试:

- 为每个电源引脚, 提供超过极限的供电电压。
- 在每个输入、输出和可配置的I/O引脚上注入电流。

这个测试符合EIA/JESD78F集成电路栓锁标准。

表 4-19 电气敏感性

符号	参数	条件	最大电流
LU	静态栓锁类	$T_A = +125^\circ\text{C}$, 符合JESD78F标准	$\pm 300\text{mA}$

4.3.10 I/O端口特性

通用输入/输出特性

除非特别说明, 下表列出的参数是按照表 4-4的条件测量得到。所有的I/O端口都是兼容CMOS和TTL。

表 4-20 I/O 静态特性

符号	参数	VDD	条件	最小值	最大值	单位
V _{IL}	输入低电平电压	5	-	-	0.3 \times VDD	V
		3.3	-	-	0.8	
		2.0	-	-	0.2 \times VDD	
V _{IH}	输入高电平电压	5	-	0.7 \times VDD	-	V
		3.3	-	2.15	-	
		2.0	-	0.8 \times VDD	-	
V _{hys}	施密特触发器电压迟滞 ⁽¹⁾	5/3.3/2.0	-	0.1 \times VDD	-	V
I _{lk^g} ⁽²⁾	输入漏电流IIH	5/3.3/2.0	-	-	1	μA
	输入漏电流IIL	5/3.3/2.0	-	-1	-	
V _{OH⁽³⁾}	输出高电平电压	5	High driving I _{min} =16mA low driving I _{min} =12mA	VDD-0.8	-	V
		3.3	High driving I _{min} =8mA low driving I _{min} =4mA	2.4	-	
		2.0	High driving I _{min} =4mA low driving I _{min} =2mA	VDD-0.45	-	
V _{OL⁽³⁾}	输出低电平电压	5	High driving I _{min} =16mA low driving I _{min} =8mA	-	0.7	V
		3.3	High driving I _{min} =8mA low driving I _{min} =4mA	-	0.45	
		2.0	High driving I _{min} =4mA low driving I _{min} =2mA	-	0.4	
R _{PU}	弱上拉等效电阻	5/3.3/2.0	-	40	100	$\text{k}\Omega$
R _{PD}	弱下拉等效电阻	5/3.3/2.0	-	40	120	$\text{k}\Omega$
C _{IO}	I/O引脚的电容	5/3.3/2.0	-	-	10	pF

- 施密特触发器开关电平的迟滞电压。由特征测试保证, 不在生产中测试。
- 如果在相邻引脚有反向电流倒灌, 则漏电流可能高于最大值。
- 仅作为 SPI 功能的 PB3/PB4/PB5 支持驱动能力切换。

所有 I/O 端口都是 CMOS 和 TTL 兼容(不需软件配置), 它们的特性考虑了多数严格的 CMOS 工艺或 TTL 参数:

输入输出交流特性

输入输出交流特性的定义和数值在表 4-21 给出。

除非特别说明, 参数是使用环境温度和供电电压符合表 4-4 的条件测量得到。

 表 4-21 PB3/4/5 输入输出交流特性⁽¹⁾

VDD	条件	Rise/Fall Time (ns)	Propagation Delay (ns)
-----	----	---------------------	------------------------

	Driving Strength	Slew Rate Control	CLoading(pF)	Min	Typ	Max	Min	Typ	Max
5V(4.5~5.5)	Low (DR=1)	Slow (SR=1)	15	1.375	2.028	3.201	3.338	4.88	7.97
		Fast (SR=0)	15	1.103	1.658	2.65	2.846	4.187	6.92
	High (DR=0)	Slow (SR=1)	15	1.117	1.64	2.582	2.97	4.379	7.275
		Fast (SR=0)	15	0.86	1.29	2.05	2.7	4	6.6
3.3V(2.7~3.6)	Low (DR=1)	Slow (SR=1)	15	1.766	2.725	4.471	3.943	6.041	9.839
		Fast (SR=0)	15	1.446	2.261	3.731	3.429	5.263	8.577
	High (DR=0)	Slow (SR=1)	15	1.425	2.193	3.596	3.539	5.456	8.98
		Fast (SR=0)	15	1.125	1.755	2.899	3.257	4.996	8.127
2V(1.8~2.2)	Low (DR=1)	Slow (SR=1)	15	2.691	4.503	8.067	6.312	10.64	18.79
		Fast (SR=0)	15	2.242	3.803	6.996	5.451	9.177	16.14
	High (DR=0)	Slow (SR=1)	15	2.161	3.611	6.395	5.816	9.829	6.395
		Fast (SR=0)	15	1.739	2.943	5.261	5.188	8.726	15.3

1. 由设计保证, 不在生产中测试。

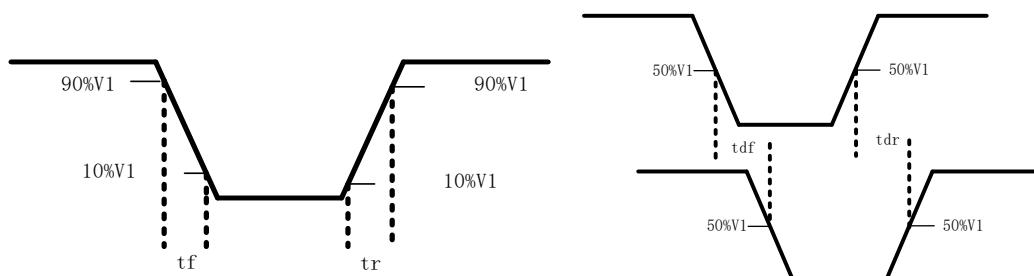
表 4-22 其他引脚⁽¹⁾输入输出交流特性⁽²⁾

VDD	条件			Rise/Fall Time (ns)			Propagation Delay (ns)		
	Driving Strength	Slew Rate Control	CLoading(pF)	Min	Typ	Max	Min	Typ	Max
5V(4.5~5.5)	Low (DR=0)	Slow (SR=0)	15	1.322	1.938	3.192	3.012	4.54	7.601
3.3V(2.7~3.6)	Low (DR=0)	Slow (SR=0)	15	1.693	2.602	4.465	3.92	6.161	10.6
2V(1.8~2.2)	Low (DR=0)	Slow (SR=0)	15	2.597	4.339	8.147	6.627	11.52	21.38

1. 除PB3/4/5以外的引脚。

2. 由设计保证, 不在生产中测试。

图 4-5 输入输出交流特性定义



4.3.11 NRST引脚特性

NRST引脚内部集成上拉电阻, 除非特别说明, 参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

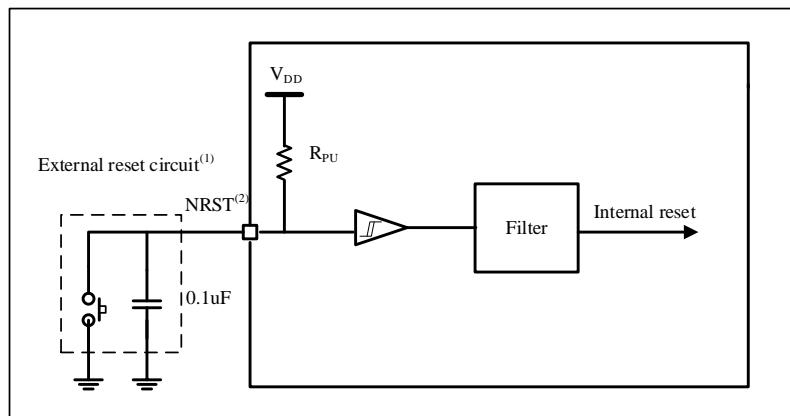
表 4-23 NRST 引脚特性

符号	参数	VDD	最小值	典型值	最大值	单位
----	----	-----	-----	-----	-----	----

$V_{IL(NRST)}^{(1)}$	NRST输入低电平电压	2.0V~5.5V	-	-	0.3VDD	V
$V_{IH(NRST)}^{(1)}$	NRST输入高电平电压	2.0V~5.5V	0.7VDD	-	-	
$V_{hys(NRST)}$	NRST施密特触发器电压迟滞	2.0V~5.5V	139	315	367	mV
R_{PU}	弱上拉等效电阻 ⁽²⁾	2.0V~5.5V	30	40	50	k Ω
$V_{F(NRST)}^{(1)}$	NRST输入滤波脉冲	2.0V~2.2V	-	-	203	ns
		3V~3.6V	-	-	119	
		4.5V~5.5V	-	-	83	
$V_{NF(NRST)}^{(1)}$	NRST输入非滤波脉冲	2.0V~2.2V	490	-	-	ns
		3V~3.6V	301	-	-	
		4.5V~5.5V	199	-	-	

- 由设计保证, 不在生产中测试。
- 上拉电阻是设计为一个真正的电阻串联一个不可开关的PMOS实现。这个PMOS开关的电阻很小(约占10%)。

图 4-6 建议的 NRST 引脚保护



- 复位网络是为了防止寄生复位。
- 用户必须保证NRST引脚的电位能够低于最大 $V_{IL(NRST)}$ 以下, 否则MCU不能得到复位。

4.3.12 TIM 定时器特性

列出的参数由设计保证。

表 4-24 TIMx 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	1	-	t_{TIMCLK}
		$f_{TIMCLK} = 64MHz$	15.625	-	ns
f_{EXT}	CH1至CH4的定时器外部时钟频率	-	0	$f_{TIMCLK}/2$	MHz
		$f_{TIMCLK} = 64MHz$	0	32	MHz
RestIM	TIM1/3:定时器分辨率	-	-	16	bits
	TIM4/6:定时器分辨率	-	-	32	bits
tCOUNTER	TIM1/3: 16位计数器	-	1	2^{16}	t_{TIMCLK}
		$f_{TIMCLK} = 64MHz$	-	1024	μs
	TIM4: 32位计数器	-	1	2^{32}	t_{TIMCLK}
		$f_{TIMCLK} = 64MHz$	-	67.109	s
tMAX_COUNT ⁽¹⁾	TIM6: 32位计数器	-	1	2^{32}	t_{TIMCLK}
		$f_{TIMCLK} = 32MHz$	-	134.218	s

	TIM1/3: 16位计数器	$f_{TIMCLK} = 64MHz$	-	67.109	s
		-	1	2^{48}	t_{TIMCLK}
	TIM4: 32位计数器	$f_{TIMCLK} = 64MHz$	-	1221.68	h
		-	1	2^{48}	t_{TIMCLK}
	TIM6: 32位计数器	$f_{TIMCLK} = 32MHz$	-	2443.36	h

1. 指 TIM 内部分频后可以完成的最大计数。

4.3.13 IWDG 特性

表 4-25 IWDG 最大和最小计数复位时间 (LSI = 32KHz)

预分频	IWDG_PREDIV.PD[2:0]	最小值 ⁽¹⁾ IWDG_RELV.REL[13:0]=0	最大值 ⁽¹⁾ IWDG_RELV.REL[13:0]=0x3FFF	单位
/4	000	0.125	2048	ms
/8	001	0.25	4096	
/16	010	0.5	8192	
/32	011	1	16384	
/64	100	2	32768	
/128	101	4	65536	
/256	11x	8	131072	

1. 由设计保证, 不在生产中测试。

4.3.14 I2C 接口特性

除非特别说明, 参数是使用环境温度, f_{PCLK} 频率和 V_{DD} 供电电压符合表 4-4 的条件测量得到。

N32G033 产品的 I2C 接口符合标准 I2C 通信协议, 但有如下限制: SDA 和 SCL 不是“真”开漏的引脚, 当配置为开漏输出时, 在引出脚和 VDD 之间的 PMOS 管被关闭, 但仍然存在。

I2C 接口特性见下表, 有关输入输出复用功能引脚(SDA 和 SCL)的特性详情, 参见第 4.3.12 节。

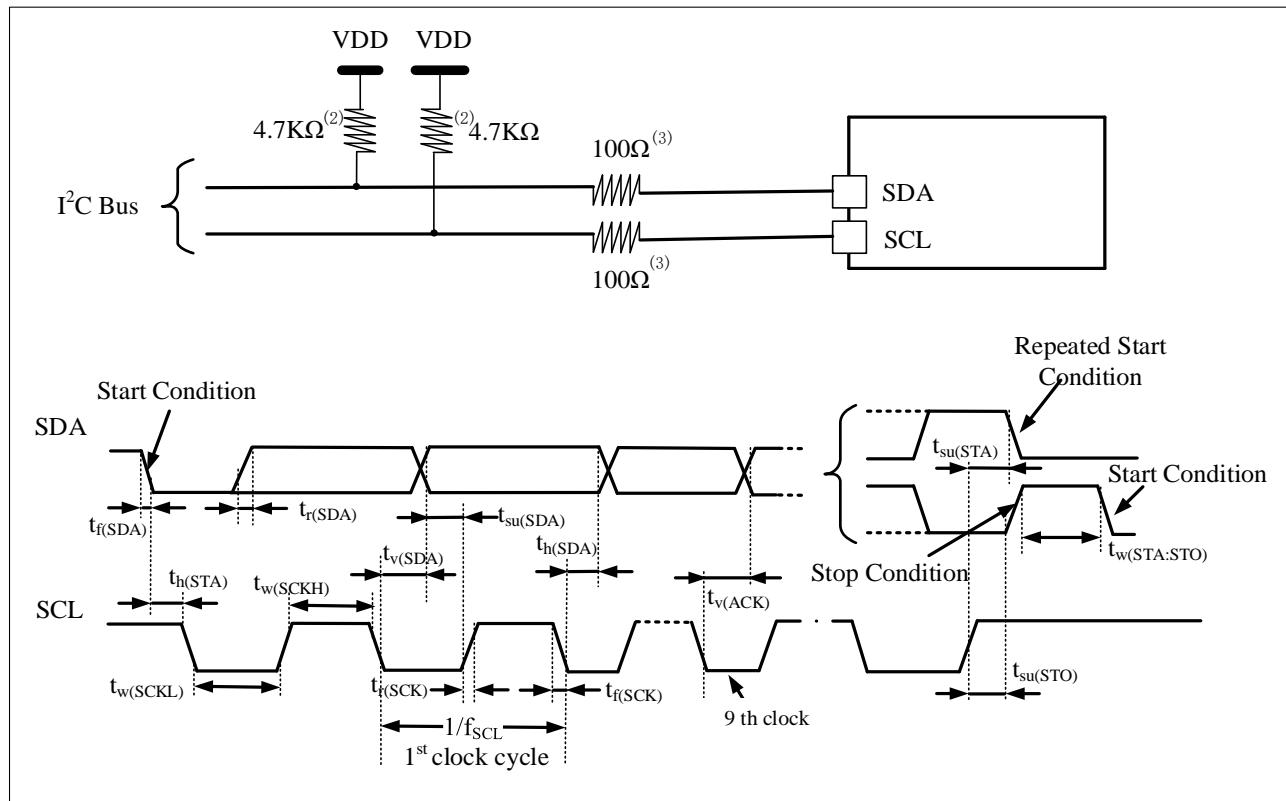
表 4-26 I²C 接口特性

符号	参数	标准模式 ⁽¹⁾⁽²⁾		快速模式 ⁽¹⁾⁽²⁾		快速+模式 ⁽¹⁾⁽²⁾		单位
		最小	最大	最小	最大	最小	最大	
f_{SCL}	I2C 接口频率	0.0	100	0	400	0	1000	KHz
$t_{h(STA)}$	开始条件保持时间	4.0	-	0.6	-	0.26	-	μs
$t_{w(SCLL)}$	SCL 时钟低时间	4.7	-	1.3	-	0.50	-	μs
$t_{w(SCLH)}$	SCL 时钟高时间	4.0	-	0.6	-	0.26	-	μs
$t_{su(STA)}$	重复的开始条件建立时间	4.7	-	0.6	0.6	0.26	-	μs
$t_{h(SDA)}$	SDA 数据保持时间	-	3.4	-	0.9	-	0.41	μs
$t_{su(SDA)}$	SDA 建立时间	250	-	100	-	50	-	ns
$t_{r(SDA)}$ $t_{r(SCL)}$	SDA 和 SCL 上升时间	-	1000	$20+0.1 C_b$	300	-	120	ns
$t_{f(SDA)}$ $t_{f(SCL)}$	SDA 和 SCL 下降时间	-	300	$20+0.1 C_b$	300	-	120	ns
$t_{su(STO)}$	停止条件建立时间	4.0	-	0.6	-	0.26	-	μs
$t_{w(STO:STA)}$	停止条件至开始条件的时间 (总线空闲)	4.7	-	1.3	-	0.50	-	μs
C_b	每条总线的容性负载	-	400	-	400	-	200	pf
t_{SP}	标准和快速模式下由模拟滤波器抑制的尖峰脉冲宽度	-	-	0	50	0	50	ns
$t_{v(SDA)}$	数据有效时间	-	3.45	-	0.9	-	0.45	μs

符号	参数	标准模式 ⁽¹⁾⁽²⁾		快速模式 ⁽¹⁾⁽²⁾		快速+模式 ⁽¹⁾⁽²⁾		单位
		最小	最大	最小	最大	最小	最大	
$t_v(ACK)$	应答有效时间	-	3.45	-	0.9	-	0.45	

- 由设计保证，不在生产中测试。
- 为达到标准模式 I2C 的最大频率， f_{PCLK} 必须大于 2MHz。为达到快速模式 I2C 的最大频率， f_{PCLK} 必须大于 4MHz。

图 4-7 I²C 总线交流波形和测量电路⁽¹⁾



- 测量点设置于 $0.3V_{DD}$ 和 $0.7V_{DD}$ 。
- 上拉电阻阻值取决于 I2C 接口速度。
- 电阻值取决于实际电气特性，可以不连接串行电阻，信号线直连。

4.3.15 SPI 接口特性

除非特别说明，SPI 参数是使用环境温度， f_{PCLK} 频率和 V_{DD} 供电电压符合表 4-4 的条件测量得到。

有关输入输出复用功能引脚(SPI 的 NSS、SCLK、MOSI、MISO)的特性详情，参见第 4.3.12 节。

表 4-27 SPI 特性

符号	参数	条件	最小值	最大值	单位
f_{SCLK} $1/t_c(SCLK)$	SPI 时钟频率	主模式	-	16	MHz
		从模式	-	16	
$t_r(SCLK)$ $t_f(SCLK)$	SPI 时钟上升和下降时间	负载电容：C = 15pF	-	3	ns
DuCy(SCK)	SPI 从输入时钟占空比	SPI 从模式	45	55	%
$t_{su(NSS)}^{(1)}$	NSS 建立时间	从模式	$1t_{SYSCLK}$	-	ns
$t_h(NSS)^{(1)}$	NSS 保持时间	从模式	$1t_{SYSCLK}$	-	ns

$t_w(SCLKH)^{(1)}$ $t_w(SCLKL)^{(1)}$	SCLK高和低的时间	主模式	$t_{PCLK/BR-3}$	$t_{PCLK/BR+3}$	ns
$t_{su(MI)}^{(1)}$	数据输入建立时间	主模式	4	-	ns
$t_{su(SI)}^{(1)}$		从模式	5	-	
$t_{h(MI)}^{(1)}$	数据输入保持时间	主模式	4	-	ns
$t_{h(SI)}^{(1)}$		从模式	5	-	
$t_{a(SO)}^{(1)(2)}$	数据输出访问时间	从模式	0	100	ns
$t_{dis(SO)}^{(1)(3)}$	数据输出禁止时间	从模式	2	24	ns
$t_{v(SO)}^{(1)}$	数据输出有效时间	从模式(使能边沿之后)	-	28	ns
$t_{v(MO)}^{(1)}$		主模式(使能边沿之后)	-	15	
$t_{h(SO)}^{(1)}$	数据输出保持时间	从模式(使能边沿之后)	6	-	ns
$t_{h(MO)}^{(1)}$		主模式(使能边沿之后)	0	-	

- 由 $VDD=3.3V/5V$ 、负载电容 $C=15pF$ 综合评估得出，不在生产中测试。
- 最小值表示驱动输出的最长时间，最大值表示正确获得数据的最大时间。
- 最小值表示关闭输出的最长时间，最大值表示把数据线置于高阻态的最大时间。

图 4-8 SPI 时序图 – 从模式和 CPHA=0

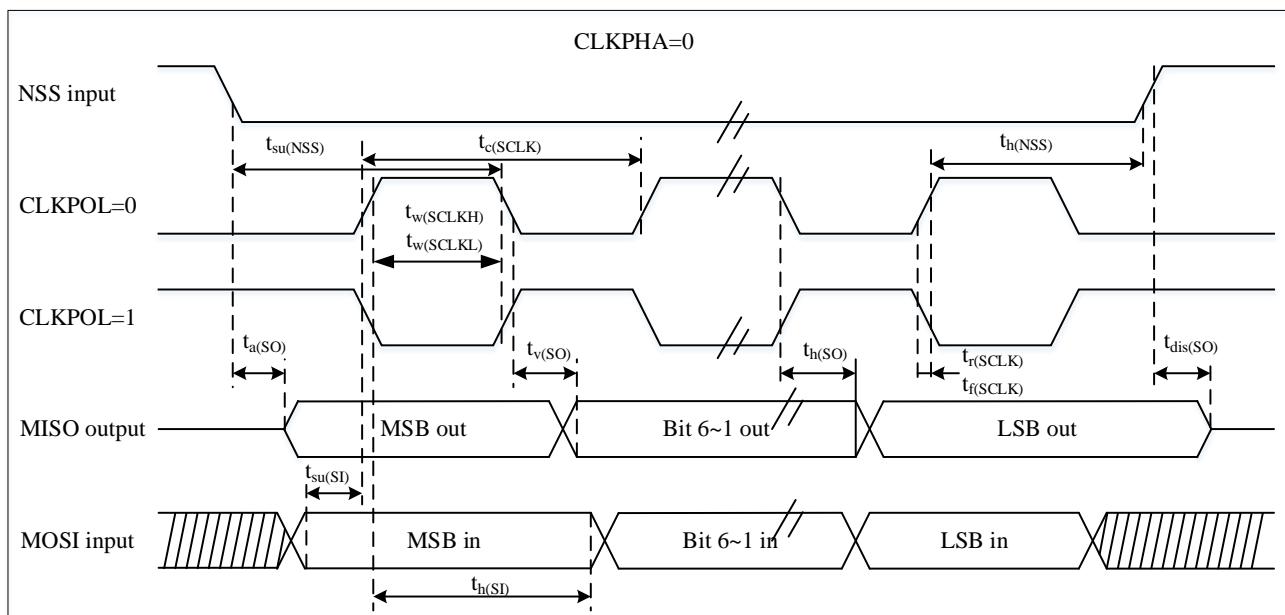
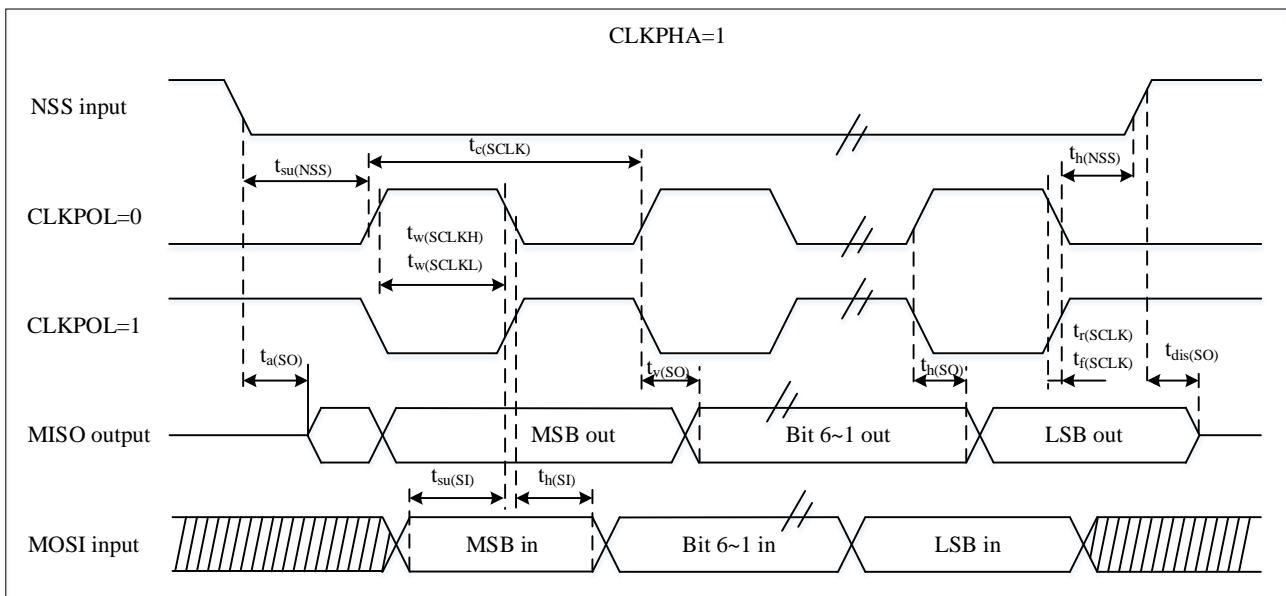
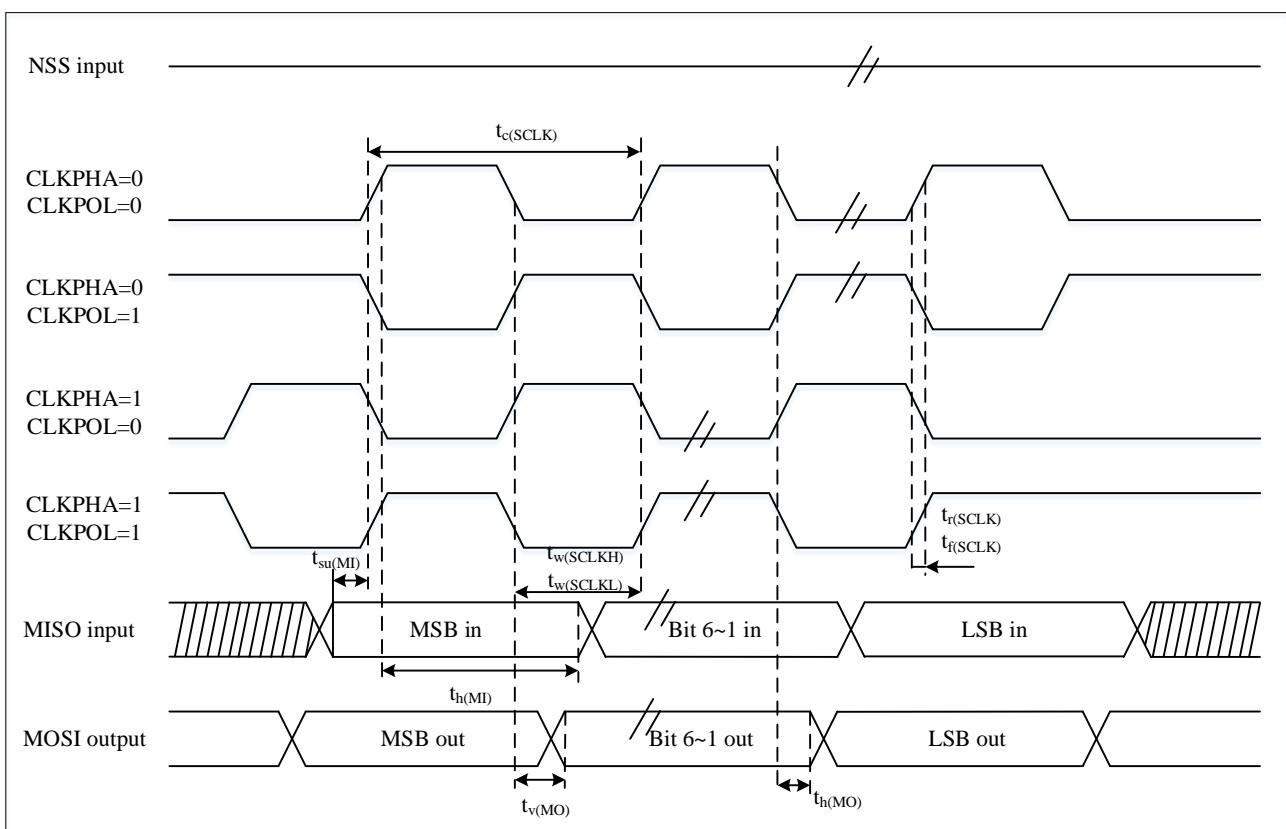


图 4-9 SPI 时序图 – 从模式和 CPHA=1⁽¹⁾


1. 测量点设置于CMOS电平: 0.3V_{DD}和0.7V_{DD}。

 图 4-10 SPI 时序图 – 主模式⁽¹⁾


1. 测量点设置于CMOS电平: 0.3V_{DD}和0.7V_{DD}。

4.3.1612位模数转换器(ADC)电气参数

除非特别说明, 表 4-28 参数是使用符合表 4-4 的条件的环境温度、f_{HCLK} 频率和 V_{DD} 供电电压测量得到。

表 4-28 ADC 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{DD} ⁽¹⁾	供电电压	-	2.4 ⁽²⁾	-	5.5	V
V _{REF+}	正参考电压	-		V _{DD}		V
f _{ADC}	ADC时钟频率	-	-	-	32	MHz
f _s ⁽¹⁾	采样速率	-	0.03	-	1	Msps
V _{AIN}	转换电压范围	-	0 (VSSA或VREF-连 接到地)	-	V _{REF+}	V
R _{AIN} ⁽¹⁾	外部输入阻抗	-		参见公式1		Ω
R _{ADC} ⁽¹⁾	ADC输入电阻	VDD=3.3V	-	1000.6	-	Ω
		VDD=5.0V	-	688.38		Ω
C _{ADC} ⁽¹⁾	内部采样和保持电容	-	-	13	-	pF
SNDR	信噪失真	VDD=3.3V	-	63.4	-	dB
		VDD=5.0V	-	63.76	-	dB
T _S ⁽¹⁾	采样周期数	-	4	-	-	1/f _{ADC}
t _{STAB} ⁽¹⁾	上电时间	-	48	-	-	1/f _{ADC}
t _{CONV} ⁽¹⁾	转换时间	-		12		1/f _{ADC}
I _{ADC}	ADC的电流消耗	-	-	1.56	-	mA

- 由设计保证, 不在生产中测试。
- 2.4V 供电时, ADC 性能指标会有所下降

公式 1: 最大 R_{AIN} 公式

$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式(公式 1)用于决定最大的外部阻抗, 使得误差可以小于 1/4 LSB。其中 N=12(表示 12 位分辨率)。

表 4-29 ADC 采样时间⁽¹⁾

分辨率	Sample cycle@16M	采样率(MHz)	最小采样时间 (ns)	Rin (kΩ)
12-bit	4	1.000	250	0.9
	6	0.889	375	1.9
	14	0.615	875	5.9
	20	0.500	1250	8.8
	30	0.381	1875	13.8
	42	0.296	2625	19.7
	56	0.235	3500	26.7
	72	0.190	4500	34.6
	88	0.160	5500	42.5
	120	0.121	7500	58.4
	182	0.082	11375	89.1
	240	0.063	15000	117.8
	300	0.051	18750	147.6
	400	0.039	25000	197.1
	480	0.033	30000	236.7
	600	0.026	37500	296.2
分辨率	Sample cycle@32M	采样率(MHz)	最小采样时间 (ns)	Rin (kΩ)
12-bit	20	1.00	625	3.9
	30	0.76	937.5	6.4
	42	0.59	1312.5	9.3
	56	0.47	1750	12.8
	72	0.38	2250	16.8
	88	0.32	2750	20.7
	120	0.24	3750	28.7
	182	0.16	5687.5	44.0
	240	0.13	7500	58.4
	300	0.10	9375	73.2
	400	0.08	12500	98.0
	480	0.07	15000	117.8
	600	0.05	18750	147.6

1. 由设计保证, 不在生产中测试。

 表 4-30 ADC 精度 – 局限的测试条件⁽¹⁾

符号	参数	测试条件	典型值	最大值 ⁽²⁾	单位
EO	偏移误差	$f_{ADC} = 32 \text{ MHz}$, Sample rate=1M sps, $V_{DDA} = 3.3V$, $TA = 25^\circ\text{C}$	± 2	-	LSB
ED	微分线性误差		± 0.6	2.85	
EL	积分线性误差		± 1.5	1.58	
EO	偏移误差	$f_{ADC} = 32 \text{ MHz}$, Sample rate=1M sps, $V_{DDA} = 5.0V$, $TA = 25^\circ\text{C}$	± 2	-	LSB
ED	微分线性误差		± 0.6	3.25	
EL	积分线性误差		± 1.5	1.98	
ENOB	有效位	$f_{HCLK} = 64\text{MHz}$, $f_{ADC} = 32 \text{ MHz}$, sample rate=1M sps, $TA = 25^\circ\text{C}$	10.15	-	Bits

1. ADC 精度与反向注入电流的关系: 需要避免在任何标准的模拟输入引脚上注入反向电流, 因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上, (引脚与地之间) 增加一个肖特基二极管。
2. 由特征测试保证, 不在生产中测试。

图 4-11 ADC精度特性

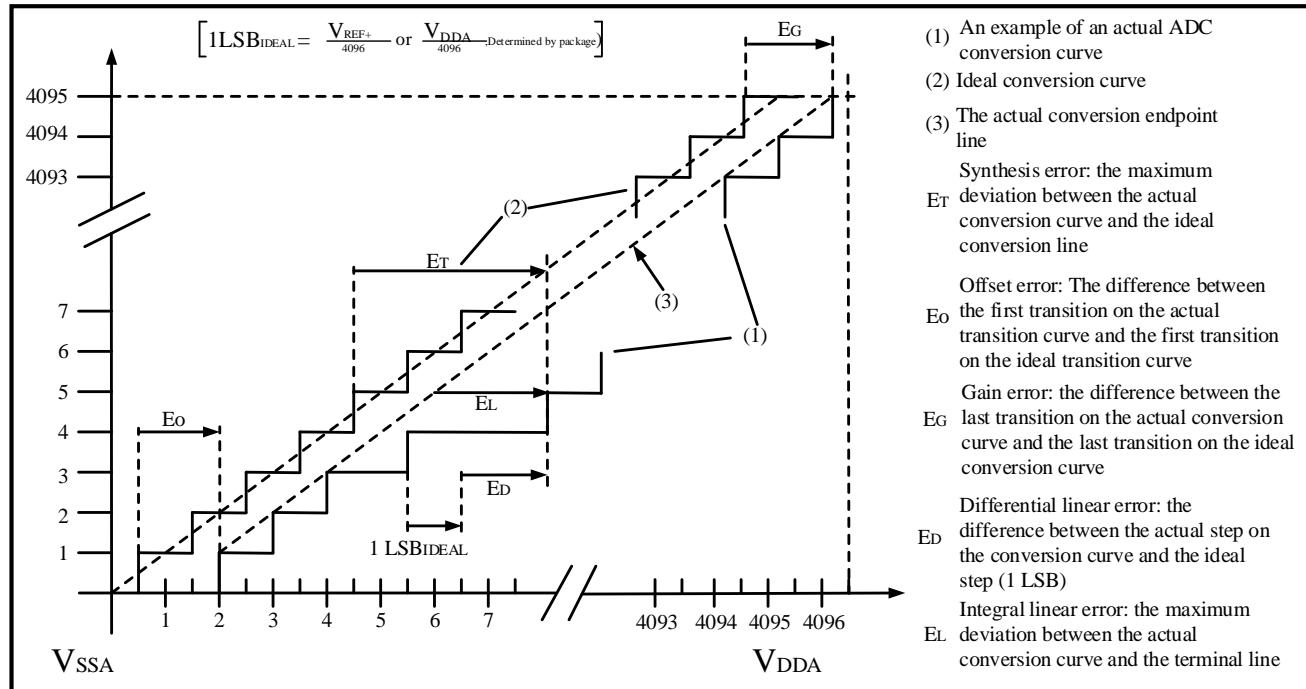
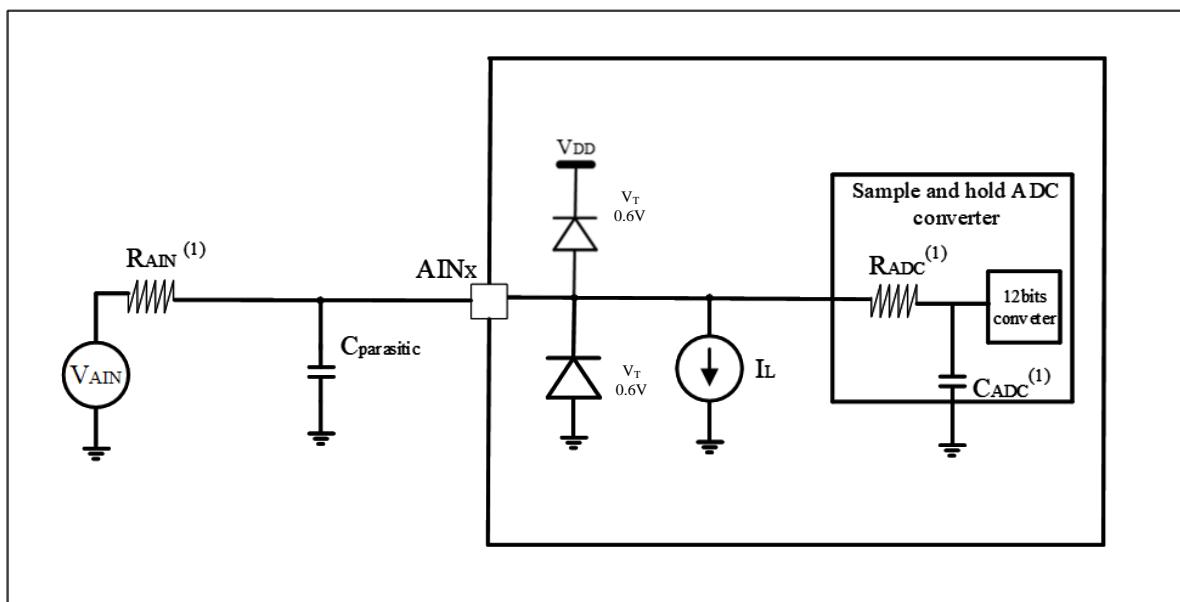


图 4-12 使用 ADC 典型的连接图



1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值, 参见表 4-28。
2. $C_{parasitic}$ 表示 PCB (与焊接和 PCB 布局质量相关) 与焊盘上的寄生电容 (大约 7pF)。较大的 $C_{parasitic}$ 数值将降低转换的精度, 解决的办法是减小 f_{ADC} 。

4.3.17 内置参考源 (V_{REFP}) 电气参数

除非特别说明, 参数是使用符合表 4-4 的条件的环境温度、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表 4-31 V_{REFP} 特性⁽³⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	模拟电源电压	正常模式	4	-	5.5	V
V _{REFP}	参考电压输出	正常模式 25°C	3.528 ⁽²⁾	3.6	3.672 ⁽²⁾	V
I _{DDA} ⁽¹⁾	来自VDDA的消耗	I _{load} = 0 μA	-	800	-	μA
Load cap ⁽¹⁾	负载电容	-	-	-	20	pF
t _{START} ⁽¹⁾	启动时间	-	-	-	5	μs

- 由设计保证，不在生产中测试。
- 生产校准精度，未包括焊接影响。焊接带来电压偏差影响范围约±1%。
- 仅支持5V下的应用场景

4.3.18 运算放大器(OPAMP)电气参数

除非特别说明，参数是使用符合表 4-4的条件的环境温度、f_{HCLK}频率和V_{DDA}供电电压测量得到。

 表 4-32 OPAMP特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
VDDA	模拟供电电压	跟随模式/单端PGA模式	2.4	-	5.5	V
		差分模式	2.8	-	5.5	V
CMIR	共模电压输入范围	-	0	-	VDDA	V
VIOFFSET	输入失调电压	-	-10	4	10	mV
ILOAD	驱动电流	-	-	0.5	-	mA
IDDA	运算放大器电流消耗	No load, quiescent mode	-	0.5	-	mA
CMMR	共模抑制比	-	-	110	-	dB
PSRR	电源抑制比	-	-	102	-	dB
GBW	增益带宽	-	-	5.5	-	MHz
SR	转换速率	VDD=5.0V	-	6.16	-	V/us
		VDD=3.3V	-	5.68	-	V/us
RLOAD	最小阻抗负载	-	10	-	-	KΩ
CLOAD	最大容抗负载	-	-	-	25	pF
TSTARTUP	启动建立时间	CLOAD ≤ 25 pF, RLOAD ≥ 10 KΩ, Follower configuration	-	1.75	3	μs
PGA BW	PGA bandwidth for different non inverting gain	PGA Gain = 2, Cload = 25pF, Rload = 10 KΩ	-	1	-	MHz
		GA Gain = 4, Cload = 25pF, Rload = 10 KΩ	-	0.5	-	
		GA Gain = 16, Cload = 25pF, Rload = 10 KΩ	-	0.125	-	
		GA Gain = 32, Cload = 25pF, Rload = 10 KΩ	-	0.0625	-	

Single PGA Gain error (opa1)	可编程增益误差	Input signal amplitude>100mV		+/-2		%
---------------------------------	---------	---------------------------------	--	------	--	---

1. 由设计和综合评估保证，不在生产中测试。

4.3.19 比较器(COMP)电气参数

除非特别说明，参数是使用符合表 4-4 的条件的环境温度、 f_{HCLK} 频率和 V_{DD} 供电电压测量得到。

表 4-33 COMP 特性

符号	参数	条件	最小	典型	最大值	单位
V_{DD}	模拟供电电压	正常模式	2.2	3.3	5.5	V
V_{IN}	输入电压范围	V_{IN}	0	-	V_{DD}	
$t_{START}^{(1)}$	比较器启动建立时间	Normal mode	-	-	1.7	us
		Low power mode	-	-	12	
t_d	Propagation delay for 200mV step with 100mV overdrive	Normal mode	-	100	-	ns
		Low power mode	-	500	-	
V_{OFFSET}	比较器输入失调误差	Full common mode range	-	± 5	± 20	mV
V_{hys}	比较滞后电压 (高速)	No hysteresis	-	0	-	mV
		Low hysteresis	-	12	-	
		Medium hysteresis	-	31	-	
		High hysteresis	-	52	-	
	比较滞后电压 (低功耗)	No hysteresis	-	0	-	
		Low hysteresis	-	10	-	
		Medium hysteresis	-	25	-	
		High hysteresis	-	41	-	
I_{DD}	比较器电流消耗(高速模式)	Static	-	38.4	-	μA
		cmp With 50 kHz ± 100 mV overdrive square signal	-	43	-	
		cmp static with 1* 6bit dac on	-	74	-	
I_{DD}	比较器电流消耗(低功耗模式)	Static	-	6.1	-	μA
		cmp With 50 kHz ± 100 mV overdrive square signal	-	6.7	-	μA

1. 由设计保证，不在生产中测试。

4.3.20 温度传感器 (TS) 特性

除非特别说明，参数是使用符合表 4-4 的条件的环境温度、 f_{HCLK} 频率和 V_{DD} 供电电压测量得到。

表 4-34 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{SENSE} 相对于温度的线性度	-	± 1	± 5	℃
Avg_Slope ⁽¹⁾	平均斜率	-3.7	-4.07	-4.3	mV/℃
$V_{25}^{(1)}$	在25 ℃时的电压	-	1.247	-	V
$t_{START}^{(1)}$	建立时间	4	-	10	μs
$T_{S_temp}^{(2)(3)}$	当读取温度时，ADC采样时间	8.2	-	17.1	μs

1. 由特征测试结果保证，不在生产中测试。

2. 由设计保证，不在生产中测试。

3. 最短的采样时间可以由应用程序通过多次循环决定。

5 封装尺寸

5.1 LQFP32

图 5-1 LQFP32 封装尺寸

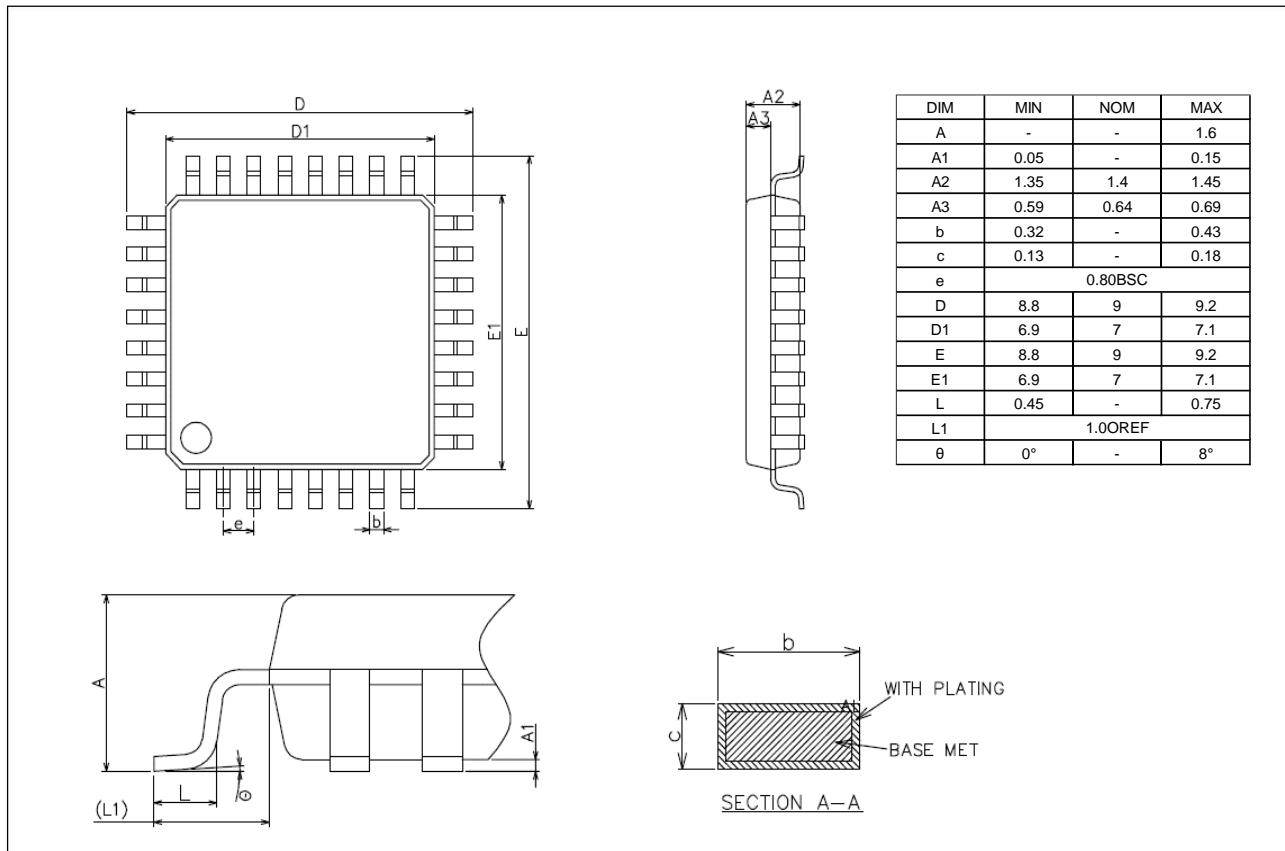
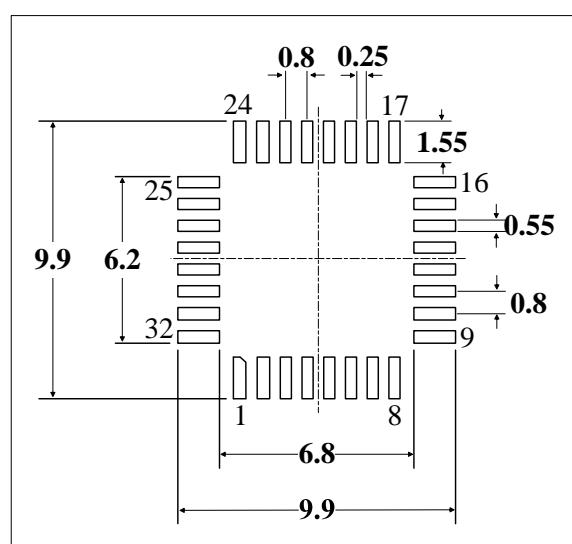


图 5-2 LQFP32封装焊盘建议⁽¹⁾



1. 尺寸单位为毫米

5.2 QFN32(5x5mm)

图 5-3 QFN32(5x5mm)封装尺寸

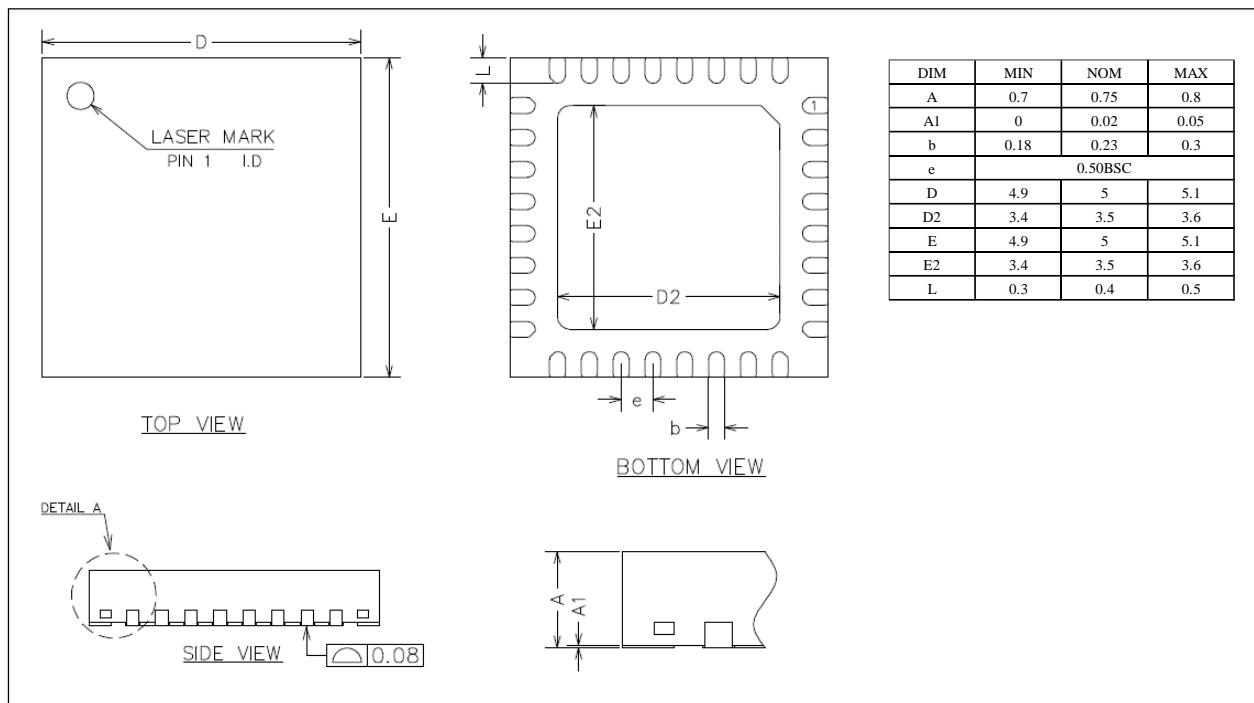
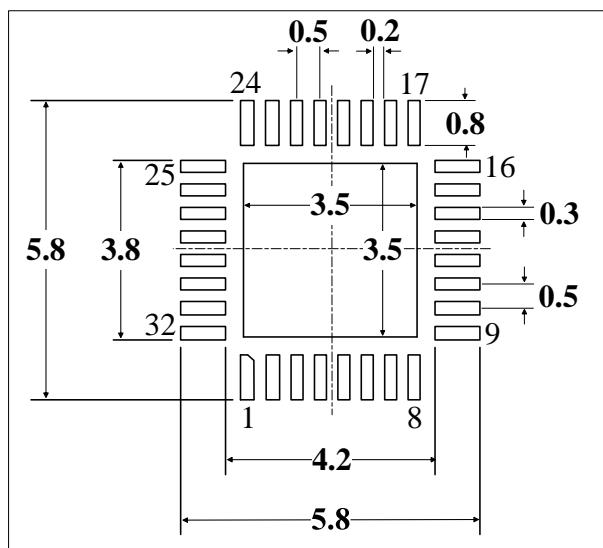


图 5-4 QFN32(5x5mm)封装焊盘建议⁽¹⁾



1. 尺寸单位为毫米

5.3 QFN32(4x4mm)

图 5-5 QFN32(4x4mm)封装尺寸

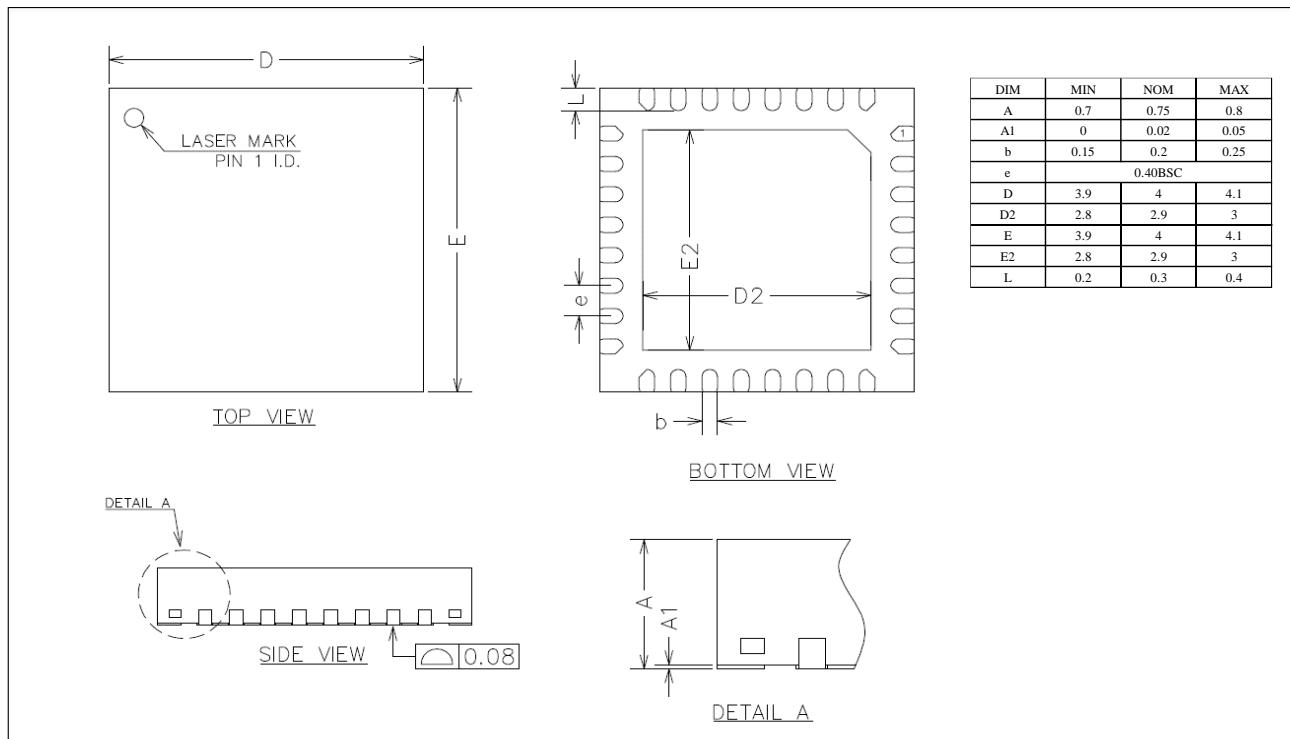
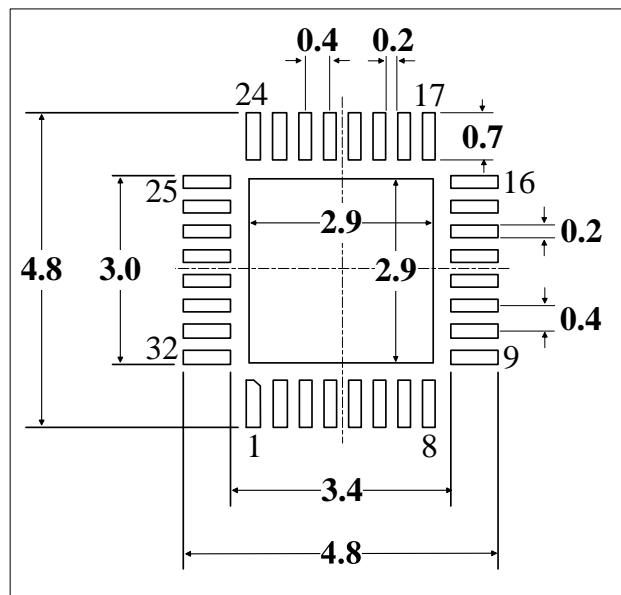


图 5-6 QFN32(4x4mm)封装焊盘建议⁽¹⁾



1. 尺寸单位为毫米

5.4 QFN20/QFN20-1

图 5-7 QFN20 封装尺寸

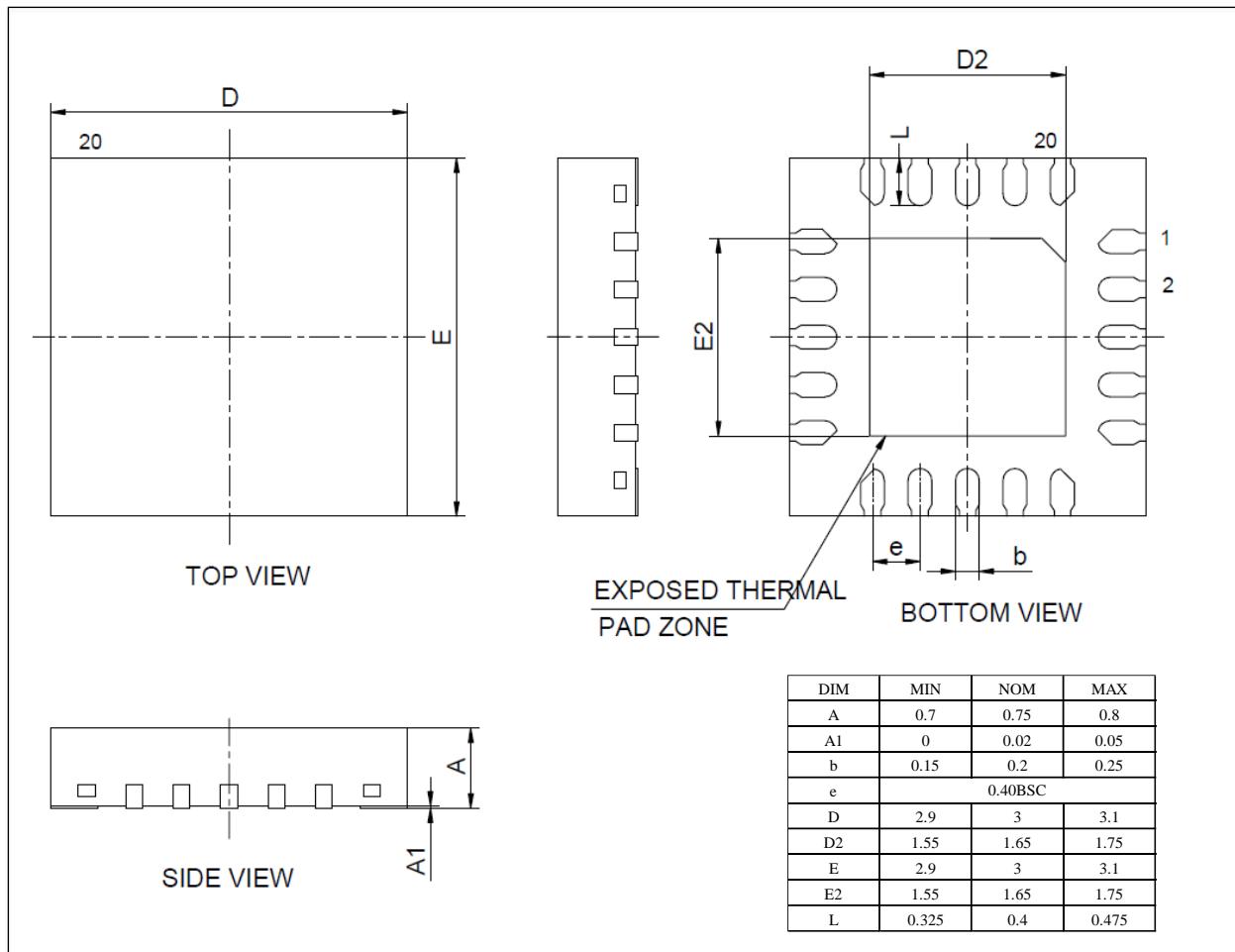
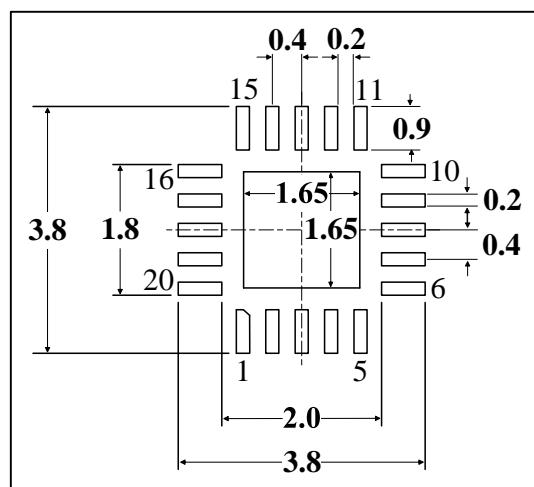


图 5-8 QFN20 封装焊盘建议⁽¹⁾



1. 尺寸单位为毫米

5.5 UFQFPN20

图 5-9 UFQFPN20 封装尺寸

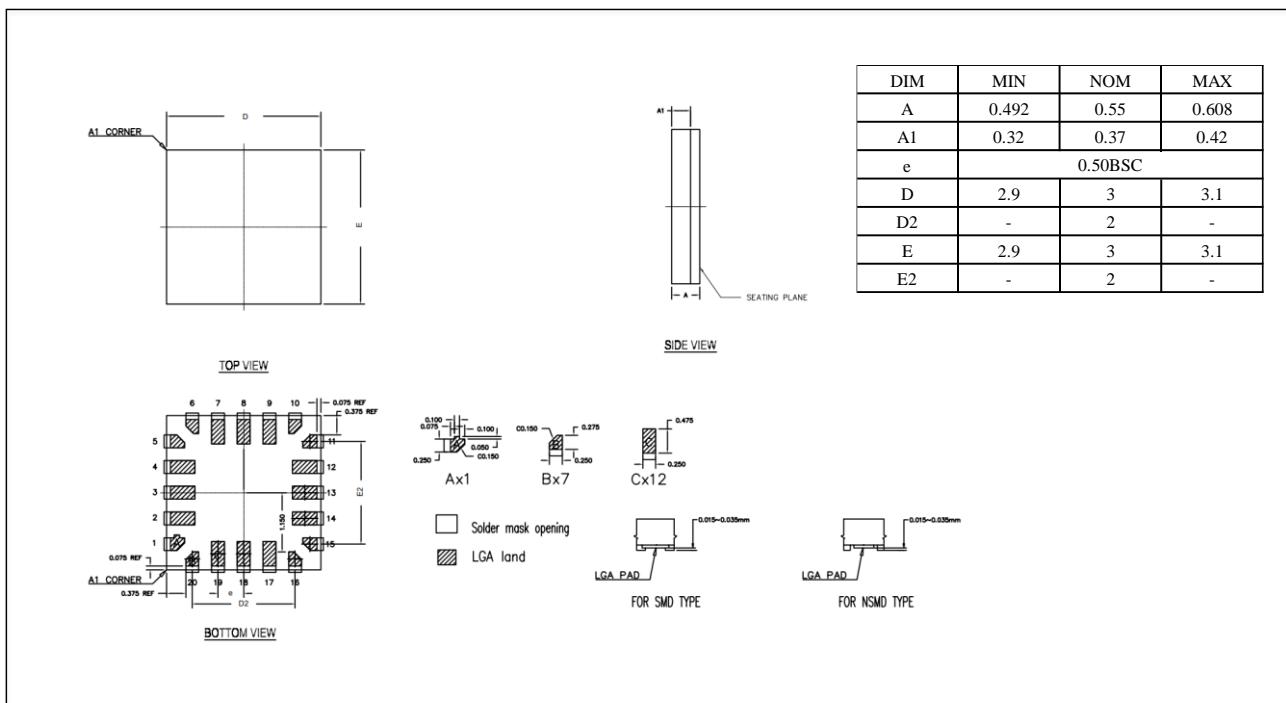
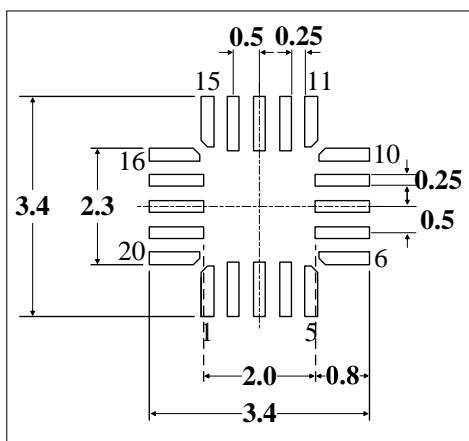


图 5-10 UFQFPN20 封装焊盘建议⁽¹⁾



2. 尺寸单位为毫米

5.6 TSSOP20

图 5-11 TSSOP20 封装尺寸

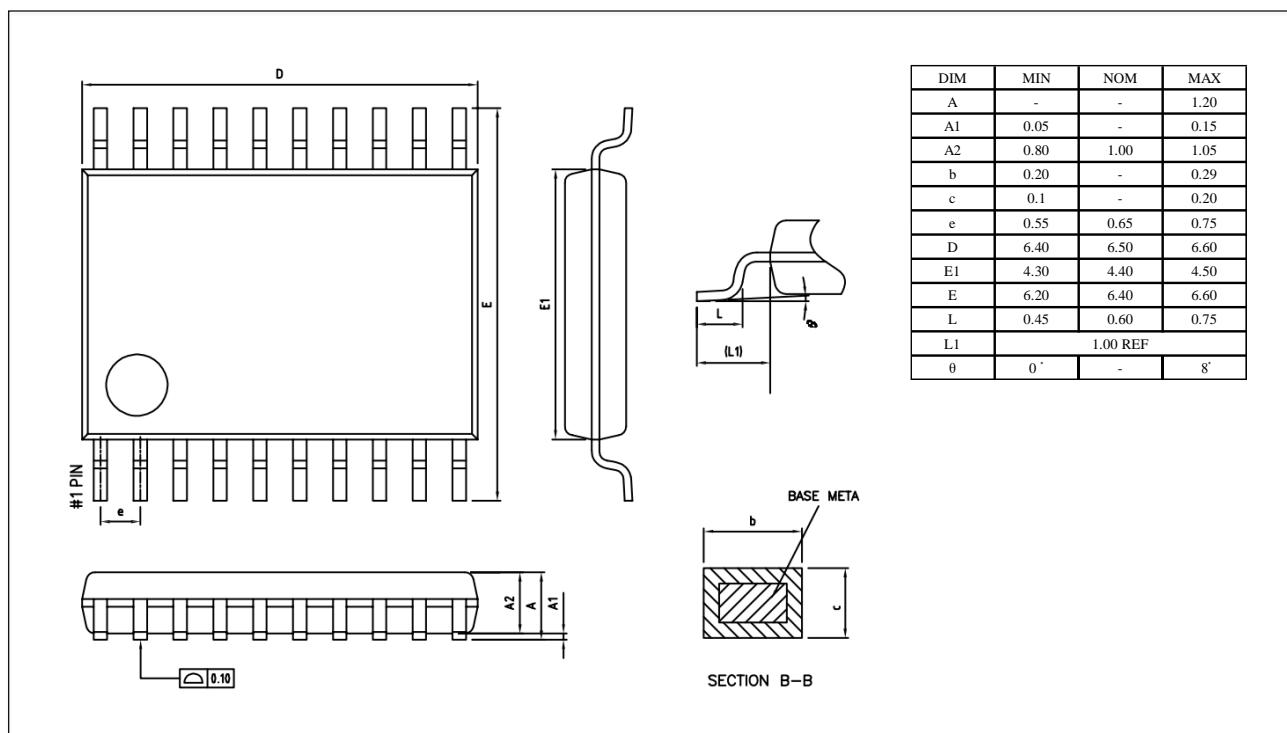
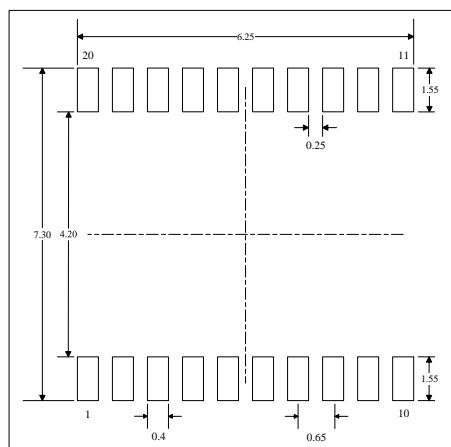


图 5-12 TSSOP20封装焊盘建议⁽¹⁾



1. 尺寸单位为毫米

5.7 丝印说明

图 5-13 LQFP32/QFN32(5mm * 5mm)丝印说明图

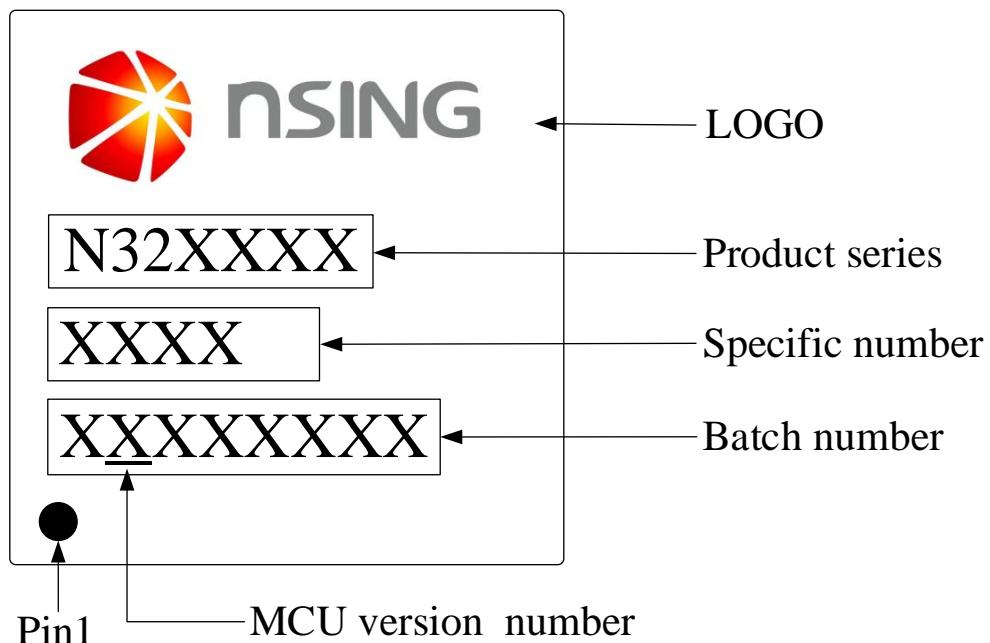


图 5-14 QFN32(4mm * 4mm)丝印说明图

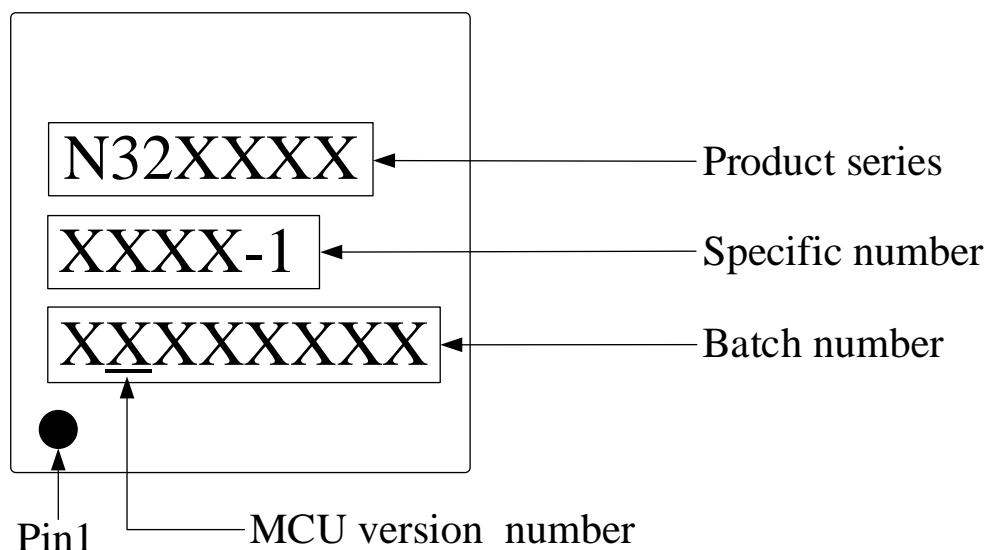


图 5-15 UFQFPN20丝印说明图

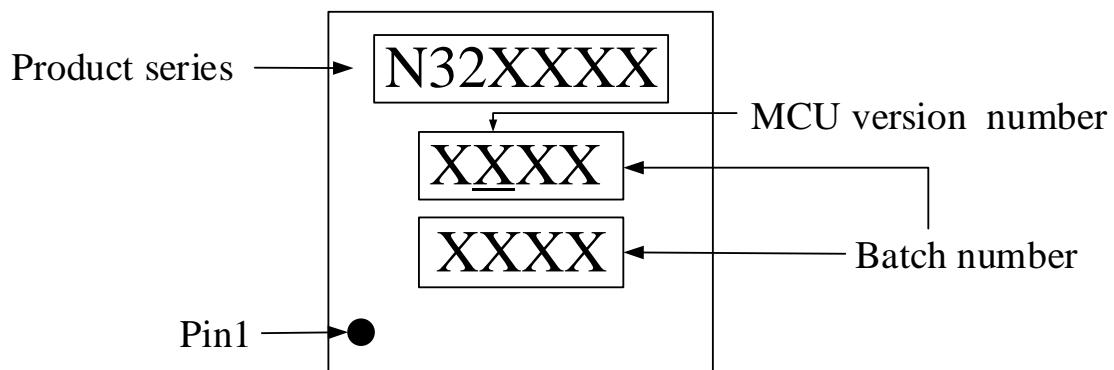


图 5-16 QFN20丝印说明图

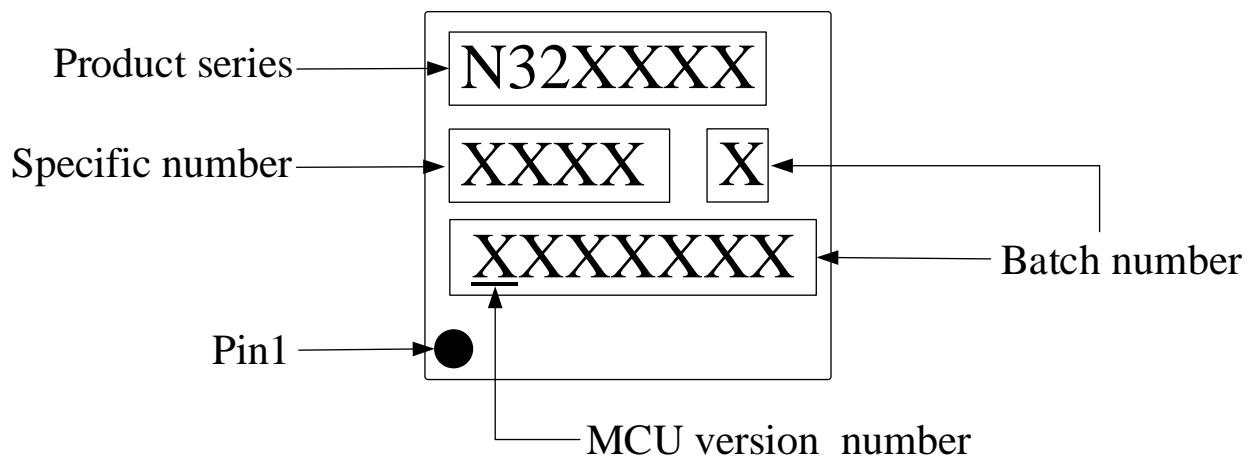


图 5-17 QFN20-1丝印说明图

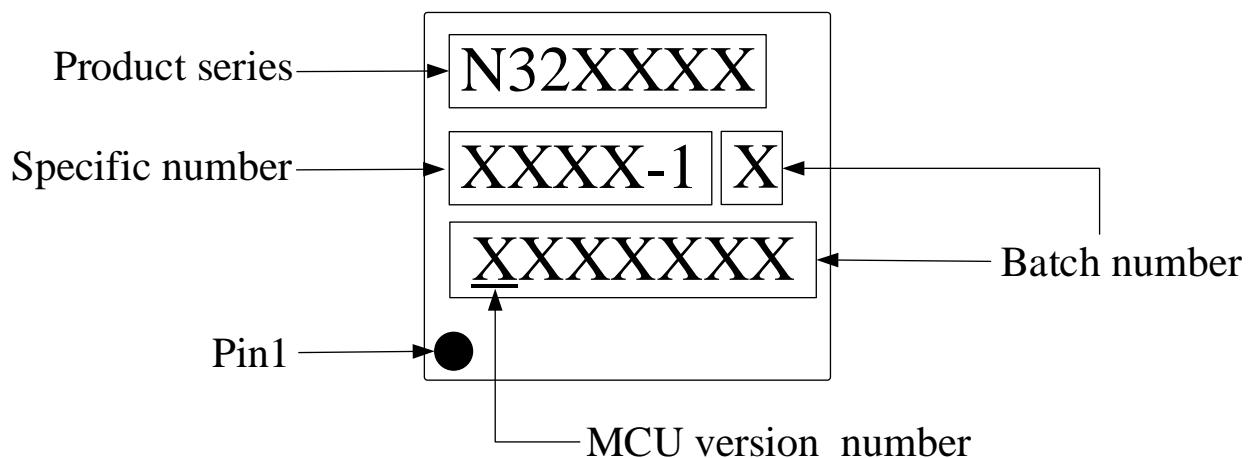
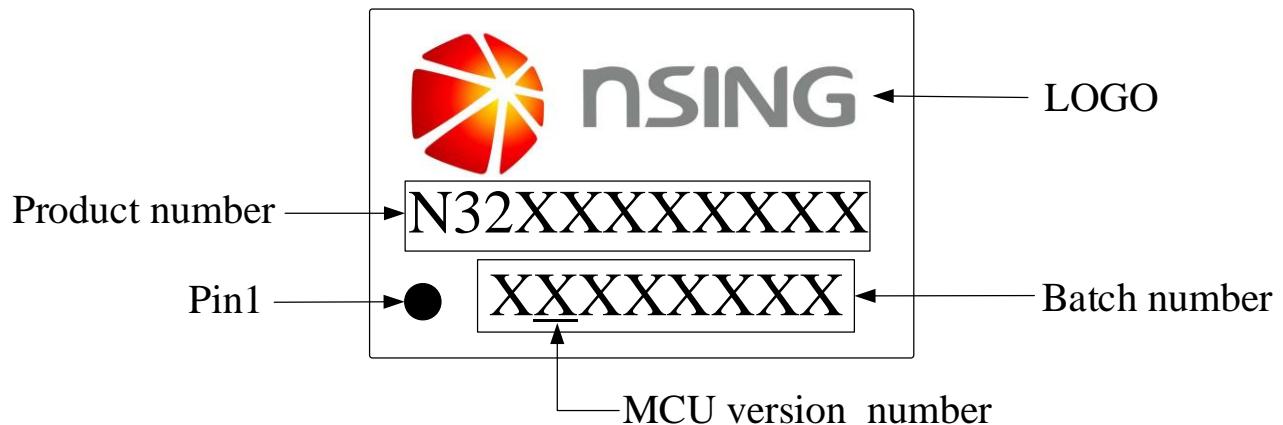


图 5-18 TSSOP20 丝印说明图



6 订购信息

图 6-1 N32G033系列订货代码信息图示

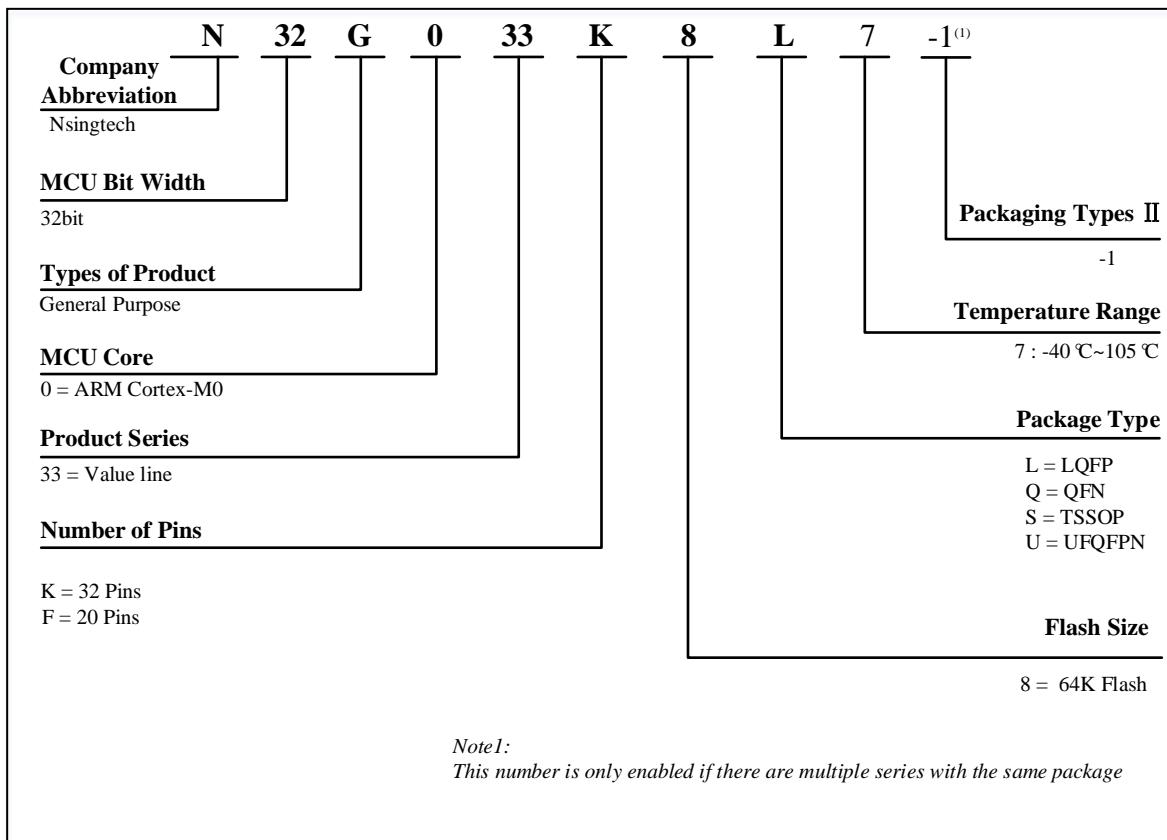


表 6-1 N32G033系列订货代码信息

订购型号 ⁽¹⁾	封装	封装尺寸	包装 ⁽²⁾	SPQ ⁽³⁾	温度范围
N32G033K8L7	LQFP32	7mm * 7mm	Tray	250	-40°C~105°C
N32G033K8Q7	QFN32	5mm *5mm	Tray	490	-40°C~105°C
			Reel	2500	
N32G033K8Q7-1	QFN32	4mm *4mm	Tray	490	-40°C~105°C
N32G033F8Q7	QFN20	3mm *3mm	Tray	490	-40°C~105°C
			Reel	5000	
N32G033F8Q7-1	QFN20	3mm *3mm	Tray	490	-40°C~105°C
			Reel	5000	
N32G033F8S7	TSSOP20	6.5mm *4.4mm	Tube	70	-40°C~105°C
			Reel	3500	
N32G033F8U7	UFQFPN20	3mm *3mm	Tray	490	-40°C~105°C
			Reel	5000	

- 最新详细订购信息见选型手册。
- 此包装为基础包装，如果有其他需求，请联系国民技术
- 最小包装数量

7 版本历史

日期	版本	修改
2025.10.11	V1.0.0	<ol style="list-style-type: none">1. 创建文档
2025.12.23	V1.1.0	<ol style="list-style-type: none">1. 引脚复用定义中删除fail-safe相关描述, 不支持fail-safe2. 引脚复用定义中复用功能列COMP_OUT放到数字功能列3. TSSOP20封装尺寸图更新4. N32G033F8S7型号新增Tube包装5. 更新ESD(HBM)值为4KV6. 更新使用ADC的典型连接图7. 更新ADC accuracy的ED/EL最大值8. 删除GPIO支持输出开漏模式

8 声明

国民技术股份有限公司（下称“国民技术”）对此文档拥有专属产权。依据中华人民共和国的法律、条约以及世界其他法域相适用的管辖，此文档及其中描述的国民技术产品（下称“产品”）为公司所有。

国民技术在此并未授予专利权、著作权、商标权或其他任何知识产权许可。所提到或引用的第三方名称或品牌（如有）仅用作区别之目的。

国民技术保留随时变更、订正、增强、修改和改良此文档的权利，恕不另行通知。请使用人在下单购买前联系国民技术获取此文档的最新版本。

国民技术竭力提供准确可信的资讯，但即便如此，并不推定国民技术对此文档准确性和可靠性承担责任。

使用此文档信息以及生成产品时，使用者应当进行合理的设计、编程并测试其功能性和安全性，国民技术不对任何因使用此文档或本产品而产生的任何直接、间接、意外、特殊、惩罚性或衍生性损害结果承担责任。

国民技术对于产品在系统或设备中的应用效果没有任何故意或保证，如有任何应用在其发生操作不当或故障情况下，有可能致使人员伤亡、人身伤害或严重财产损失，则此类应用被视为“不安全使用”。

不安全使用包括但不限于：外科手术设备、原子能控制仪器、飞机或宇宙飞船仪器、所有类型的安全装置以及其他旨在支持或维持生命的应用。

所有不安全使用的风险应由使用人承担，同时使用人应使国民技术免于因为这类不安全使用而导致被诉、支付费用、发生损害或承担责任时的赔偿。

对于此文档和产品的任何明示、默示之保证，包括但不限于适销性、特定用途适用性和不侵权的保证责任，国民技术可在法律允许范围内进行免责。

未经明确许可，任何人不得以任何理由对此文档的全部或部分进行使用、复制、修改、抄录和传播。